

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 7月15日

出願番号

Application Number: 特願2002-205391

[ST.10/C]:

[J P 2002-205391]

出願人

Applicant(s): 三菱電機株式会社

2002年 8月20日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3064557

【書類名】 特許願
【整理番号】 540217JP01
【提出日】 平成14年 7月15日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 17/16
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 新居 浩二
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平
【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第1の電圧と前記出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする第1のトランジスタと、

前記出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じて前記第1のトランジスタと相補的にオン・オフする第2のトランジスタと、

前記入力信号に応じて前記第1および第2のトランジスタを相補的にオンさせるために、前記第1および第2の内部ノードの電圧を制御するための制御回路を含み、

前記制御回路は、前記第1および第2の内部ノードの少なくとも一方に接続される電圧調整回路を有し、

前記電圧調整回路は、接続される内部ノードの電圧レベルに応じてオン・オフする前記第1および第2のトランジスタの少なくとも一方のトランジスタをターンオンさせるときに、前記接続される内部ノードの電圧を前記第1および第2の電圧とは異なるレベルへ設定する、半導体装置。

【請求項2】 前記対応するトランジスタをターンオンさせる時の前記対応する内部ノードの電圧は、前記第1および第2の電圧のいずれかに設定される、請求項1記載の半導体装置。

【請求項3】 前記制御回路は、前記第1および第2の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、

前記タイミング回路は、対応するトランジスタのターンオン時において、前記第1および第2の電圧のうち前記対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続する、請求項1記載の半導体装置。

【請求項4】 前記タイミング回路は、前記出力ノードの電圧レベルに応じ

て前記所定期間を調整する、請求項3記載の半導体装置。

【請求項5】 前記タイミング回路は、前記入力信号を遅延させるための遅延回路を有し、

前記所定期間は、前記遅延回路の遅延時間に相当する、請求項3記載の半導体装置。

【請求項6】 前記制御回路は、前記第1の内部ノードと前記第2の内部ノードとの間の電気的な接続を制御する接続回路をさらに有し、

前記接続回路は、所定期間、前記接続により前記第1および第2のトランジスタの少なくとも一方のターンオン時において、前記第1および第2の内部ノードに対して前記第1および第2の電圧のうち前記一方のトランジスタをオンさせる一方の電圧を与える、請求項1記載の半導体装置。

【請求項7】 前記接続回路は、前記入力信号を遅延させる遅延回路を含み、

前記所定期間は、前記遅延回路の遅延時間に相当する、請求項6記載の半導体装置。

【請求項8】 前記第1および第2のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第1および第2のトランジスタの前記少なくとも一方とゲート酸化膜が異なる他の電界効果型トランジスタをさらに備える、請求項1記載の半導体装置。

【請求項9】 前記他の電界効果型トランジスタの前記ゲート酸化膜は、前記第1および第2のトランジスタの前記少なくとも一方よりも厚い、請求項8記載の半導体装置。

【請求項10】 前記第1および第2のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第1および第2のトランジスタの前記少なくとも一方と誘電体膜が異なる他の電界効果型トランジスタをさらに備える、請求項1記載の半導体装置。

【請求項11】 前記第1および第2のトランジスタの前記誘電体膜は、前

記他の電界効果型トランジスタよりも比誘電率が高い、請求項10記載の半導体装置。

【請求項12】 前記入力信号は、複数の信号を含み、

前記制御回路は、前記複数の信号に基づく所定の論理演算結果に従って、前記第1および第2の内部ノードの電圧を制御する、請求項1記載の半導体装置。

【請求項13】 前記制御回路は、前記第1および第2の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、

前記タイミング回路は、対応するトランジスタのターンオン時において、前記第1および第2の電圧のうち前記対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続する、請求項12記載の半導体装置。

【請求項14】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第1の電圧と前記出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする第1のトランジスタと、

前記出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする第2のトランジスタと、

前記出力ノードと前記第2の電圧との間に前記第2のトランジスタと並列に配置され、前記第1の内部ノードの電圧レベルに応じて前記第1のトランジスタと相補的にオン・オフする第3のトランジスタと、

前記入力信号に応じて前記第1および第2の内部ノードの電圧を制御するための制御回路を含み、

前記制御回路は、前記第1および第2の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、

前記タイミング回路は、対応するトランジスタのターンオン時において、前記第1および第2の電圧のうち前記対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続し、

前記第2のトランジスタは、前記第3のトランジスタより前記第2の電圧を前記出力ノードへ供給する駆動力が大きい、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特にCMOSドライバ回路を備えた半導体装置に関する。

【0002】

【従来の技術】

近年、複数の処理回路を具備する半導体装置がワンチップマイコンとして製品化されており、このような半導体装置が携帯電話機などの電子回路機器等に利用されている。携帯電話機などのような携帯機器では、必然的にバッテリを電源とするが、小型軽量化が要求されるためバッテリも小型軽量化されている。

【0003】

このバッテリの小型軽量化に加え、長時間のバッテリの使用も要求されるためバッテリの消費電力の削減も極度に要求されている。一方、デジタル方式の携帯電話機等の場合、音声信号をリアルタイムにデジタル処理するため、当該半導体装置の高速化も要求されている。

【0004】

上記の種々の要求において、回路内の信号処理部においては、内部回路に処理した信号を伝播するために電流駆動力の小さなトランジスタで構成し、外部に出力する回路については電流駆動力の大きなトランジスタで構成されたドライバ回路を用いることが一般的である。

【0005】

図18は、入力信号を伝播する従来のCMOSドライバ回路の回路構成図である。なお、以下においてはCMOSドライバ回路を単にドライバ回路とも称する。

【0006】

図18を参照して、従来のCMOSドライバ回路は、直列に接続された2段のインバータINV0とINV1とを含む。インバータINV0は、トランジスタPT0とNT0とを含む。トランジスタPT0は、電源電圧VDDとノードNaとの間に配置され、そのゲートは入力ノードと接続されて入力信号INの入力を

受ける。また、トランジスタNT0は、ノードNaと接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。

【0007】

インバータINV1は、トランジスタPT1とトランジスタNT1とを含む。トランジスタPT1は、電源電圧VDDと出力ノードとの間に配置され、そのゲートはノードNaと接続されている。また、トランジスタNT1は、出力ノードと接地電圧GNDとの間に配置され、そのゲートはノードNaと接続されている。なお、トランジスタPT0, PT1は、PチャンネルMOSトランジスタであり、トランジスタNT0, NT1は、NチャンネルMOSトランジスタである。

【0008】

また、インバータINV1は、出力ノードに伝達された信号を出力信号OUTとして出力する。

【0009】

なお、以下においては、入力信号INを受ける入力ノードについても符号INで示すとともに、出力信号OUTが駆動される出力ノードについても符号OUTで示すこととする。

【0010】

図19のタイミングチャート図を用いて従来のCMOSドライバ回路の動作について説明する。なお、以下の説明においては、一例として電源電圧VDDは1V、接地電圧GNDは0Vとして説明する。また、高電圧レベル（電源電圧VDD: 1V）を「H」レベルとし、低電圧レベル（接地電圧GND: 0V）を「L」レベルとして説明する。

【0011】

初期状態においては、入力信号INは0Vとする。この場合において、インバータINV0のトランジスタPT0はオンし、電源電圧VDDとノードNaとを電気的に結合する。したがってノードNaの電圧レベルは1Vに設定されている。また、ノードNaの電圧レベルに応答してインバータINV1のトランジスタNT1はオンし、接地電圧GNDと出力ノードとを電気的に結合する。したがって、出力ノードの電圧レベルは0Vに設定されている。

【0012】

時刻T1において、入力信号INが0Vから1Vに遷移した場合、インバータINV0のトランジスタPT0はオフし、トランジスタNT0がオンする。これに応答して、接地電圧GNDとノードNaとが電気的に結合され、ノードNaの電圧レベルは0Vに設定される。また、インバータINV1について考えると、ノードNaの電圧レベルに応答してトランジスタPT1がオンし、電源電圧VDDと出力ノードとが電気的に結合される。したがって、出力ノードの電圧レベルは1Vに設定される。出力信号OUTは、時刻T1からトランジスタの動作遅延時間経過後の時刻T1aに立ち上り、1Vに設定される。

【0013】

一方、時刻T2において入力信号INが1Vから0Vに遷移した場合、インバータINV0のトランジスタNT0がオフし、トランジスタPT0がオンする。これに応答して、電源電圧VDDとノードNaとが電気的に結合され、ノードNaの電圧レベルは1Vに設定される。また、ノードNaの電圧レベルに応答してインバータINV1のトランジスタPT1はオフし、トランジスタNT1がオンする。これにより、出力ノードと接地電圧GNDとが電気的に結合され、出力ノードの電圧レベルは0Vに設定される。

【0014】

上記において説明したように、CMOSドライバ回路は、入力信号INの「L」レベルから「H」レベルもしくは「H」レベルから「L」レベルの変化に伴い、出力信号OUTが伝播される。

【0015】

通常、出力ノードは、次段の回路と電気的に接続され、その次段の回路の入力容量や配線による寄生容量および抵抗等が出力負荷となる。高速に入力信号INに応答して高速に出力信号OUTを伝播するためには、出力段のインバータINV1を構成するトランジスタPT1およびNT1の動作速度を高速化させることが必要である。具体的には、初段のインバータINV0を構成するトランジスタPT0およびNT0より、出力段のインバータINV1を構成するトランジスタPT1およびNT1のチャンネル幅を大きくして信号伝播速度を高速化させてい

る。たとえば、ゲート長がそれぞれ0. 1 μ mの場合において、それぞれトランジスタPT0, NT0, PT1およびNT1のゲート幅は、各々2 μ m, 1 μ m, 10 μ m, 5 μ m程度に設計されている。

【0016】

【発明が解決しようとする課題】

以上説明したように、従来のCMOSドライバ回路は、ドライバ回路を構成する出力段のインバータのゲート幅を大きくすることにより信号伝播速度の高速化を図る構成が一般的である。

【0017】

しかしながら、トランジスタの微細化技術が進むにつれて、ゲート酸化膜の膜厚が薄くなり、ゲートからソースやドレインもしくは基板間に流れるいわゆるゲートリーク電流が大きくなるという問題が生じてきている。

【0018】

図20は、ゲート酸化膜の厚膜とトランジスタ1個当たりのゲートリーク電流との関係を示す図である。トランジスタのゲート長は0. 1 μ m、ゲート幅は10 μ mに設定されたトランジスタのリーク電流の特性図である。

【0019】

図20を参照して、横軸はゲート酸化膜厚を示しており、縦軸はトランジスタ1個当たりのゲートリーク電流（単位A：アンペア）を示す。

【0020】

ここで示されるゲートリーク電流は、NチャンネルMOSトランジスタでは、ゲート端子に電源電圧VDD、ソース、ドレインおよび基板端子にそれぞれ共通に接地電圧GNDを接続した場合において、ゲート端子からソース、ドレインおよび基板端子へリークする電流を示す。一方、PチャンネルMOSトランジスタでは、ゲート端子に接地電圧GND、ソース、ドレインおよび基板端子にそれぞれ共通に電源電圧VDDを供給した場合において、ソース、ドレインおよび基板端子からゲート端子へリークする電流を示す。

【0021】

これまでのゲート長が0. 18 μ m程度の世代においては、トランジスタのゲ

ート酸化膜厚は260nm程度である。ここでゲート幅を1μmとした場合におけるゲートリーク電流について考える。

【0022】

図20において示されるゲートリーク電流はゲート面積にほぼ比例する。たとえば、ゲート酸化膜厚が260nm程度でトランジスタのゲート長が0.1μm、ゲート幅が10μmの場合は、トランジスタのゲートリーク電流は1E-14(A)程度である。なお、1E-14は、1×10の-14乗を指し示すものとする。以下においても同様である。そうすると、ゲート長が0.18μm、ゲート幅Wが1μm当たりで考えると、トランジスタ1個当たりのゲートリーク電流は1.8E-15(A)程度となる。

【0023】

これに対して、トランジスタがスタンバイ状態であるときのソースドレイン間に流れるサブスレッショルドリーク電流は、同じ設定条件において1E-12(A)程度である。したがって、サブスレッショルドリーク電流の方がゲートリーク電流よりも遥かに大きいため、ゲート長が0.18μm程度の世代においてはゲートリーク電流の電流量を考慮する必要性はなかった。

【0024】

しかし、近年の微細化技術の進歩および動作高速化の要求に伴い、ゲート酸化膜厚が薄くなるにつれてゲートリーク電流が無視できなくなってきた。たとえばゲート長が0.1μm世代においては、そのときのゲート酸化膜厚は200nm程度に設計される。

【0025】

図20を参照してゲート幅が10μmである場合のトランジスタのゲートリーク電流を計算すると約1E-11(A)程度となる。このゲートリーク電流は、ゲート長が0.1μm、ゲート幅が1μmで設計されたトランジスタで計算すると1E-12(A)程度になる。したがって、上記のサブスレッショルドリーク電流と同等程度のリーク電流が流れることになりリーク電流を無視することができなくなってきた。このように微細化技術に伴なうトランジスタのゲートリーク電流の増大とともに回路全体の消費電力が増大してしまうという問題が

ある。

【0026】

また、上記において説明したように、ゲートリリーク電流はトランジスタのゲート面積に比例するものである。したがって、ドライバ回路の最終段で用いられるトランジスタのゲート幅がより大きいトランジスタにおいて特にゲートリリーク電流が増大する。

【0027】

このようなリリーク電流を低減する方式として、特開2001-156260号公報には、ゲート酸化膜厚の異なるトランジスタを混在させ、ゲート酸化膜厚が薄くゲートリリーク電流が大きいトランジスタで構成した回路は、非動作時にその電源供給を止めてリリーク電流を抑制するという方式が開示されている。しかしながら、このような方式では、動作、非動作に応じて電源供給を制御するための構成を設けることが必要である。また動作モードから非動作モードに切換えるための待ち時間も必要となりかかる方式では高速動作の障害ともなる。

【0028】

本発明の目的は、上記の問題を解決するもので、代表的にはドライバ回路で用いられるゲート酸化膜厚の薄いトランジスタのゲートリリーク電流を抑制して消費電力を低減する半導体装置を提供することである。

【0029】

【課題を解決するための手段】

本発明のある局面に従う半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、ドライバ回路は、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする第1のトランジスタと、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じて第1のトランジスタと相補的にオン・オフする第2のトランジスタと、入力信号に応じて第1および第2のトランジスタを相補的にオンさせるために、第1および第2の内部ノードの電圧を制御するための制御回路を含み、制御回路は、第1および第2の内部ノードの少なくとも一方に接続される電圧調整回路を有し、電圧調整回路は、接続される内部ノード

ドの電圧レベルに応じてオン・オフする第1および第2のトランジスタの少なくとも一方のトランジスタをターンオンさせるときに、接続される内部ノードの電圧を第1および第2の電圧とは異なるレベルへ設定する。

【0030】

好ましくは、対応するトランジスタをターンオンさせる時の対応する内部ノードの電圧は、第1および第2の電圧のいずれかに設定される。

【0031】

好ましくは、制御回路は、第1および第2の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、タイミング回路は、対応するトランジスタのターンオン時において、第1および第2の電圧のうち対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続する。

【0032】

特に、タイミング回路は、出力ノードの電圧レベルに応じて所定期間を調整する。

【0033】

特に、タイミング回路は、入力信号を遅延させるための遅延回路を有し、所定期間は、遅延回路の遅延時間に相当する。

【0034】

好ましくは、制御回路は、第1の内部ノードと第2の内部ノードとの間の電気的な接続を制御する接続回路をさらに有し、接続回路は、所定期間、接続により第1および第2のトランジスタの少なくとも一方のターンオン時において、第1および第2の内部ノードに対して第1および第2の電圧のうち一方のトランジスタをオンさせる一方の電圧を与える。

【0035】

特に、接続回路は、入力信号を遅延させる遅延回路を含み、所定期間は、遅延回路の遅延時間に相当する。

【0036】

好ましくは、第1および第2のトランジスタは、電界効果型トランジスタで構成され、半導体装置は、第1および第2のトランジスタの少なくとも一方とゲー

ト酸化膜が異なる他の電界効果型トランジスタをさらに備える。

【0037】

特に、他の電界効果型トランジスタのゲート酸化膜は、第1および第2のトランジスタの少なくとも一方よりも厚い。

【0038】

好ましくは、第1および第2のトランジスタは、電界効果型トランジスタで構成され、半導体装置は、第1および第2のトランジスタの少なくとも一方と誘電体膜が異なる他の電界効果型トランジスタをさらに備える。

【0039】

特に、第1および第2のトランジスタの誘電体膜は、他の電界効果型トランジスタよりも比誘電率が高い。

【0040】

好ましくは、入力信号は、複数の信号を含み、制御回路は、複数の信号に基づく所定の論理演算結果に従って、前記第1および第2の内部ノードの電圧を制御する。

【0041】

特に、制御回路は、第1および第2の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、タイミング回路は、対応するトランジスタのターンオン時において、第1および第2の電圧のうち対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続する。

【0042】

本発明の他の局面に従う半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、ドライバ回路は、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする第1のトランジスタと、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする第2のトランジスタと、出力ノードと第2の電圧との間に第2のトランジスタと並列に配置され、第1の内部ノードの電圧レベルに応じて第1のトランジスタと相補的にオン・オフする第3のトランジスタと、入力信号に応じて第1および第2の内部ノードの電

圧を制御するための制御回路を含み、制御回路は、第1および第2の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、タイミング回路は、対応するトランジスタのターンオン時において、第1および第2の電圧のうち対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続し、第2のトランジスタは、第3のトランジスタより第2の電圧を出力ノードへ供給する駆動力が大きい。

【0043】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【0044】

(実施の形態1)

図1は、本発明の実施の形態1に従うCMOSドライバ回路の回路構成図である。

【0045】

図1を参照して、本発明の実施の形態1に従うドライバ回路は、インバータINV1～INV3を含む。従来のドライバ回路と比較して、図18で説明したインバータINV0を削除して、入力信号INを受けるインバータを並列に2段構成にした点が異なる。具体的には、インバータINV2は、入力信号INに応答してその出力結果をインバータINV1のトランジスタNT1のゲートと接続されたノードN0へ出力する。また、インバータINV3は、入力信号INに応答してその出力結果をインバータINV1のトランジスタPT1のゲートと接続されたノードN1へ出力する。

【0046】

インバータINV2は、トランジスタPTT2, PT2, NT2とを含む。ここでは、一例としてトランジスタPTT2およびPT2は、PチャンネルMOSトランジスタとする。また、トランジスタNT2は、NチャンネルMOSトランジスタとする。トランジスタPTT2は、ソース側を電源電圧VDDと接続し、ドレインーゲート間を電気的に結合している。つまり、トランジスタPTT2は

、いわゆるダイオード接続されたトランジスタである。トランジスタPT2は、トランジスタPTT2を介して電源電圧VDDとノードN0との間に配置され、そのゲートは入力信号INの入力を受ける。トランジスタNT2は、ノードN0と接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。

【0047】

インバータINV3は、トランジスタPT3およびNT3を含む。ここでは、一例としてトランジスタPT3はPチャンネルMOSトランジスタとする。また、トランジスタNT3はNチャンネルMOSトランジスタとする。トランジスタPT3は、電源電圧VDDとノードN1との間に配置され、そのゲートは入力信号INの入力を受ける。トランジスタNT3は、ノードN1と接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。

【0048】

図2のタイミングチャート図を用いて本発明の実施の形態1に従うドライバ回路の動作について説明する。

【0049】

時刻T1において、入力信号INが0Vから1Vに遷移した場合、インバータINV2のトランジスタNT2がオンする。これに応答して、接地電圧GNDとノードN0とが電気的に結合され、ノードN0の電圧レベルは0Vとなる。また、インバータINV3のトランジスタNT3がオンする。これに応答して、接地電圧GNDとノードN1とが電気的に結合され、ノードN1の電圧レベルは0Vとなる。このノードN0およびノードN1の電圧レベルに応じて、インバータINV1が動作する。ノードN0およびノードN1が共に0Vすなわち「L」レベルであるためトランジスタPT1がオンし、トランジスタNT1はオフである。これに伴い、電源電圧VDDとノードNbとが電気的に結合され、出力ノードNbは1Vとなる。

【0050】

次に、時刻T2において入力信号INが1Vから0Vに遷移した場合について考える。インバータINV2において、トランジスタNT2がオフとなり、トランジ

ンジスタPT2がオンする。これによりノードN0は、トランジスタPTT2を介して電源電圧VDDと電気的に結合される。また、インバータINV3において、トランジスタNT3がオフとなり、トランジスタPT3がオンとなる。これにより、ノードN1は、電源電圧VDDと電気的に結合される。

【0051】

このノードN0およびノードN1の電圧レベルに応じて、インバータINV1は、出力ノードNbを駆動する。ノードN0およびノードN1が共に「H」レベルであるためトランジスタNT1がオンし、トランジスタPT1はオフである。これに伴い、接地電圧GNDとノードNbとが電気的に結合され、出力ノードNbは0Vとなる。

【0052】

ここでノードN0について考えると、ノードN0の電圧レベルは、ダイオード接続されたトランジスタPTT2の閾値電圧分、電源電圧VDDから降下した電圧レベルに設定される。なお、このトランジスタPTT2の閾値電圧分、電源電圧VDDから降下した電圧レベルはトランジスタのNT1のオン電圧（たとえば0.5V）よりも高いものとする。たとえば、トランジスタPTT2の閾値電圧が0.4VであるとするとノードN0の電圧レベルは0.6V（1V - 0.4V）に設定される。したがって、トランジスタがオンするときのゲート電圧は、電源電圧VDDレベル（1V）よりも低い電圧レベル（0.6V）に設定される。これによりトランジスタNT1がオンする。したがって、ノードNbは、接地電圧GNDと電気的に結合され、時刻T3において完全に0Vに立ち下がる。

【0053】

図3は、ゲート酸化膜厚200nmで設計されたトランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

【0054】

図3を参照して、横軸はトランジスタのゲート電圧（V）を示す。縦軸はトランジスタの単位ゲート面積当たりに流れるゲートリーク電流（A/ μm^2 ）を示す。

【0055】

図3に示されるように、ゲート電圧が1Vの電圧レベルである場合には、その

ときの単位ゲート面積当りのゲートリーク電流は $1 \text{E}-11 \text{ (A}/\mu\text{m}^2)$ に設定される。一方、ゲート電圧を 0.5 V に降下させるとそのゲートリーク電流は 1 衍低減されて $1 \text{E}-12 \text{ (A}/\mu\text{m}^2)$ に設定される。このようにゲートリーク電流は、ゲート電圧に対して対数的に変化する特性を示すものであるため、ゲート電圧を僅かに降下させるだけでそのリーク電流は大幅に低減される。

【0056】

本発明の実施の形態 1 に従うドライバ回路は、インバータ IN V 2 および IN V 3 を用いて入力信号 IN に応じてノード N 0 および N 1 の電圧を制御する。また、インバータ IN V 2 に含まれるトランジスタ NTT 2 を用いてトランジスタ NT 1 の電圧レベルを調整し、リーク電流を低減する。

【0057】

すなわち、上記において説明したようにトランジスタ NT 1 のゲートに供給するゲート電圧を電源電圧 VDD よりも低くオン電圧よりも高い値に設定することにより、トランジスタ NT 1 のゲートリーク電流を大幅に低減することができる。

【0058】

本発明の実施の形態 1 に従うドライバ回路の構成により、動作、非動作に応じて電源供給を制御する回路等を設けることなく、また、動作モードと非動作モードとの切替えを必要とすることなく、低消費電力で高速な CMOS ドライバ回路を実現することが可能となる。

【0059】

(実施の形態 2)

図 4 は、本発明の実施の形態 2 に従うドライバ回路の構成図である。

【0060】

図 4 を参照して、本発明の実施の形態 2 に従うドライバ回路は、図 1 に示したドライバ回路と比較して、所定期間内部ノードの電圧レベルを調整するタイミング回路 10 をさらに含む点が異なる。その他の点は実施の形態 1 のドライバ回路と同様の構成であるのでその説明は繰り返さない。

【0061】

タイミング回路10は、トランジスタ1、2と、インバータ3とを含む。ここでは、トランジスタ1および2は、PチャンネルMOSトランジスタとする。トランジスタ1および2は、電源電圧VDDとノードN0との間に直列に接続され、トランジスタ1のゲートは、入力信号INの入力を受ける。また、トランジスタ2のゲートは、インバータ3を介する出力信号OUTの反転信号の入力を受ける。

【0062】

図5のタイミングチャート図を用いて本発明の実施の形態2に従うドライバ回路の動作について説明する。

【0063】

時刻T1において、入力信号INが0Vから1Vに遷移した場合についてはタイミング回路10は実質的に機能しない。したがって、実施の形態1で説明した図2のドライバ回路の動作と同様であり、その説明は繰返さない。

【0064】

時刻T2において、入力信号INが1Vから0Vに遷移した場合について考える。入力信号INが1Vから0Vに遷移した場合、これに伴いインバータINV2においてトランジスタPT2がオンし、トランジスタPTT2を介して電源電圧VDDとノードN0とが電気的に結合される。したがって、インバータINV2は、上述したようにノードN0の電圧レベルを0.6Vに設定しようとする。

【0065】

ここで、タイミング回路10の動作について考える。インバータ3は、出力信号OUT（「H」レベル）の反転信号（「L」レベル）をトランジスタ2に出力し、トランジスタ2はオン状態である。ここで、時刻T2において、入力信号INが1Vから0Vに遷移した場合、トランジスタ1がオンする。したがって、トランジスタ1および2がオンしているため、電源電圧VDDとノードN0とが電気的に結合される。これに伴い、ノードN0の電圧レベルは1Vに設定される。これに応答して、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合され、ノードNbの電圧レベルは0V（「L」レベル）に設定される。ノードNbの電圧レベルが0Vへ変化するとタイミ

ング回路10は、トランジスタ2をオフとする。すなわち、タイミング回路10からノードN0に対しての電源電圧VDD(1V)の供給が停止される。

【0066】

本発明の実施の形態2に従うドライバ回路は、トランジスタNT1のターンオン時には、一時的にタイミング回路10により電源電圧VDDと電気的に直接結合させることによりトランジスタNT1のオン電流を増大させ、動作速度を上げる。

【0067】

これにより、ノードNbの電圧レベルを0Vに設定する時間を短縮することができる。すなわち、実施の形態1に従うドライバ回路では、図2に示されるようにトランジスタNT1のゲート電圧は0.6Vに設定していたため入力信号INが0Vになった時刻T2から出力信号OUTが0Vとなる時刻T3までには期間S0を要していた。これに対して本発明の実施の形態2のドライバ回路の構成においては、トランジスタNT1の動作時には、ゲート電圧を1Vの電圧レベルに設定することにより、入力信号INが0Vになった時刻T2から出力信号OUTが0Vとなる時刻T4までの期間S1は期間S0よりも短縮することが可能となる。

【0068】

さらに、出力信号OUTが0Vとなった時刻T4以降においては、電源電圧VDDとノードN0とは電気的に非接続とされるので、トランジスタNT1のオン電圧の範囲内においてノードN0の電圧レベルは0.6Vに降下する。したがって、出力信号OUTが0Vである定常的な状態においては、トランジスタNT1に与えるゲート電圧を降下させることによりゲートリーキ電流を低減することができる。

【0069】

(実施の形態2の変形例1)

図6は、本発明の実施の形態2の変形例1に従うCMOSドライバ回路の回路構成図である。

【0070】

図6を参照して、本発明の実施の形態2の変形例1に従うドライバ回路は、図5に示す本発明の実施の形態2に従うドライバ回路と比較して、タイミング回路10をタイミング回路20に置換した点が異なる。

【0071】

タイミング回路20は、トランジスタ21と、NAND回路22とを含む。ここでは、トランジスタ21は、一例としてPチャンネルMOSトランジスタとする。NAND回路22はノードNbからの出力信号OUTとノードN1からの伝達された信号とを受けてそのNAND論理演算結果をトランジスタ21のゲートに出力する。トランジスタ21は、電源電圧VDDとノードN0との間に配置され、そのゲートはNAND回路22の入力を受ける。

【0072】

本発明の実施の形態2の変形例1のドライバ回路の動作についても図5で示した実施の形態2のドライバ回路の動作を示すタイミングチャート図と同様である。具体的には、時刻T2において、入力信号INが1Vから0Vに遷移するのに応答してノードN1の電圧レベルが1V（「H」レベル）となる。このとき、ノードNbの電圧レベルは1V（「H」レベル）であるので、NAND回路22の出力信号は「L」レベルとなり、トランジスタ21がオンする。したがって、電源電圧VDDとノードN0とが電気的に結合され、ノードN0の電圧レベルは実施の形態2に従うドライバ回路の構成と同様に1Vとなる。これに応答して、トランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合され、ノードNbの電圧レベルは0Vとなる。これに応答して、NAND回路22の出力信号は「H」レベルとなり、トランジスタ21はオフとなる。また、以降の動作については実施の形態2に従うドライバ回路の動作と同様であるのでその説明は繰り返さない。すなわち、本発明の実施の形態2の変形例1のドライバ回路の構成においても、トランジスタNT1がオンする場合には、タイミング回路20により電源電圧VDDと電気的に直接結合させることによりトランジスタNT1を高速動作させる。また、タイミング回路20により、出力信号OUTが0Vである定的な状態においては、ゲート電圧を降下（0.6V）させることによりゲートリーアク電流を低減することができる。

【0073】

本発明の実施の形態2の変形例1のドライバ回路の構成により、実施の形態2のドライバ回路の構成と同様に消費電力を低減することが可能となる。

【0074】

(実施の形態2の変形例2)

図7は、本発明の実施の形態2の変形例2に従うCMOSドライバ回路の回路構成図である。

【0075】

図7を参照して、本発明の実施の形態2の変形例2に従うドライバ回路は、図6に示すドライバ回路と比較して、タイミング回路20をタイミング回路30に置換した点が異なる。

【0076】

タイミング回路30は、トランジスタ31と、NAND回路32と、インバータ33と、遅延回路34とを含む。ここでは、一例としてトランジスタ31は、PチャンネルMOSトランジスタとする。NAND回路32は、インバータ33を介する入力信号INの反転信号と遅延回路34による入力信号INの所定期間遅延後の遅延信号とを受けてそのNAND論理演算結果をトランジスタ31のゲートに出力する。トランジスタ31は、電源電圧VDDとノードN0との間に配置され、そのゲートはNAND回路32の出力信号の入力を受ける。

【0077】

本発明の実施の形態2の変形例2のドライバ回路の動作については実施の形態2の図5で説明したドライバ回路の動作と同様である。

【0078】

タイミング回路30は、遅延回路34の遅延時間分、トランジスタ31をオンし、電源電圧VDDとノードN0とを電気的に結合する。すなわち、ノードN0の電圧レベルを1Vに設定する。

【0079】

これにより、遅延回路34の遅延時間を調整することによりノードN0と電源電圧VDDとの電気的な接続時間を調整することができる。すなわち、ノードN

0の電圧レベルを1Vに設定する期間を調整することができる。これにより、効率的に電源電圧VDDをノードN0に供給することが可能となり消費電力をさらに低減することが可能となる。

【0080】

(実施の形態3)

図8は、本発明の実施の形態3に従うCMOSドライバ回路の回路構成図である。

【0081】

図8を参照して、本発明の実施の形態3に従うドライバ回路は、図4で説明した実施の形態2のドライバ回路と比較して、タイミング回路10をタイミング回路40に置換した点が異なる。タイミング回路40は、トランジスタ41とインバータ42とを含む。ここでは一例としてトランジスタ41はPチャンネルMOSトランジスタとする。トランジスタ41は、ノードN1とノードN0との間に配置され、そのゲートはインバータ42を介する出力信号OUTの反転信号の入力を受ける。

【0082】

タイミング回路40は、タイミング回路20と同様にトランジスタNT1のターンオン時に一時的に電源電圧VDDとノードN0とを電気的に結合する。具体的には、出力信号OUTが1V(「H」レベル)においてトランジスタ41をオンし、ノードN1とノードN0とを電気的に結合する。

【0083】

本発明の実施の形態3のドライバ回路の動作についても実施の形態2の図5で説明したドライバ回路の動作と同様である。具体的には、入力信号INが1Vから0Vに遷移した場合について考える。このときの出力信号OUTは1Vであるので、タイミング回路40において、トランジスタ41は、ノードN1とノードN0とを電気的に導通状態に設定する。インバータINV3は、入力信号INが1Vから0Vに遷移するのに応答してノードN1と電源電圧VDD(1V)とを電気的に結合する。これに伴い、ノードN0と当該電源電圧VDDとが電気的に結合される。これに応答して、インバータINV1のトランジスタNT1がオン

し、ノードN_bが接地電圧GND(0V)と電気的に結合される。また、これに応答してタイミング回路40は、ノードN1とノードN0とを非接続とする。すなわち、本発明の実施の形態3のドライバ回路の構成においても、トランジスタNT1がターンオンする場合には、タイミング回路40により電源電圧VDDとノードN0とを電気的に直接結合させてトランジスタNT1を高速動作させることができる。また、タイミング回路40により、出力信号OUTが0Vである定常的な状態においては、トランジスタ41をオフして、トランジスタNT1のゲート電圧を降下(0.6V)させることによりゲートリーコ電流を低減することができる。

【0084】

(実施の形態3の変形例1)

図9は、本発明の実施の形態3の変形例1に従うCMOSドライバ回路の回路構成図である。

【0085】

図9を参照して、本発明の実施の形態3の変形例1に従うドライバ回路は、図8の実施の形態3のドライバ回路と比較して、タイミング回路40をタイミング回路50に置換した点が異なる。

【0086】

タイミング回路50は、トランジスタ51と、インバータ52と、遅延回路53とを含む。ここではトランジスタ51は、一例としてPチャンネルMOSトランジスタとする。トランジスタ51は、ノードN1とノードN0との間に配置され、インバータ52を介して遅延回路53を通過した入力信号INの反転信号の入力を受ける。すなわち、タイミング回路50は、インバータ52および遅延回路53の通過遅延時間分入力信号INを遅延させる。したがって、入力信号INの1Vから0Vの遷移に応答してトランジスタ51はノードN0とノードN1との導通状態をある遅延時間経過後に非導通状態に設定する。

【0087】

本発明の実施の形態3の変形例1のドライバ回路の動作については図5で説明したのと同様である。

【0088】

タイミング回路50は、入力信号INが1Vから0Vに遷移した場合において、入力信号INの遅延回路53の遅延時間経過後にオン状態であるトランジスタ51をオフ状態とする。入力信号INが1Vから0Vに遷移するに伴い、インバータINV3は電源電圧VDDとノードN1とを電気的に結合する。したがって、電源電圧VDDとノードN0とが、遅延回路53の遅延時間に相当する期間、電気的に結合され、ノードN0の電圧レベルは1Vに設定される。

【0089】

これにより、遅延回路53の遅延時間を調整することによりノードN0と電源電圧VDDとの電気的な接続時間を調整することができる。すなわち、ノードN0の電圧レベルを1Vに設定する期間を調整することができる。これにより、効率的に電源電圧VDDをノードN0に供給することが可能となり消費電力をさらに低減することが可能となる。

【0090】

(実施の形態4)

図10は、本発明の実施の形態4に従うCMOSドライバ回路の回路構成図である。

【0091】

上記の実施の形態1～3のドライバ回路の構成においては、NチャネルMOSトランジスタNT1のターンオン時におけるゲート電圧を調整することにより、全体として消費電力を低減する構成について説明してきた。本発明の実施の形態4に従うドライバ回路は、NチャネルMOSトランジスタNT1のゲートリーコ電流を低減するとともに、PチャネルMOSトランジスタPT1のゲートリーコ電流も低減することにより、全体として消費電力をさらに低減することを目的とする。

【0092】

図10を参照して、本発明の実施の形態4に従うドライバ回路は、実施の形態3のドライバ回路と比較して、インバータINV3をインバータINV#3に置換した点と、タイミング回路40をタイミング回路60に置換した点とが異なる

。その他の点は同様であるのでその説明は繰返さない。

【0093】

インバータINV#3は、インバータINV3と比較してさらにトランジスタNTT3を含む点で異なる。ここでは、一例としてトランジスタNTT3は、NチャンネルMOSトランジスタとする。トランジスタNTT3は、ソース側を接地電圧GNDと接続し、ドレインおよびゲートを電気的に結合したいわゆるダイオード接続したトランジスタである。また、トランジスタNTT3は、トランジスタNT3と接地電圧GNDとの間に配置される。インバータINV#3は、トランジスタNT3がオンした場合、トランジスタNTT3を介して接地電圧GNDとノードN1とを電気的に結合する。このときのノードN1の電圧レベルは、接地電圧GNDからトランジスタNTT3の閾値電圧分上昇した値となる。なお、このトランジスタNTT3の閾値電圧分、接地電圧GNDから上昇した電圧レベルはトランジスタのPT1のオン電圧（たとえば0.7V）の範囲内とする。ここでは、トランジスタNTT3の閾値電圧は、一例として0.4Vとする。したがって、トランジスタPT1は0.4Vでターンオンする。

【0094】

タイミング回路60は、トランジスタ61, 62とインバータ63, 64とを含む。ここでは、一例としてトランジスタ61は、NチャンネルMOSトランジスタとする。また、トランジスタ62は、PチャンネルMOSトランジスタとする。インバータ64は、入力信号INの入力を受けてその反転信号をノードN2に伝達する。トランジスタ61は、ノードN1とノードN2との間に配置され、そのゲートはインバータ63を介する出力信号OUTの反転信号の入力を受ける。トランジスタ62は、ノードN2とノードN0との間に配置され、そのゲートはインバータ63を介する出力信号OUTの反転信号の入力を受ける。すなわちトランジスタ61および62は相補的にオンし、ノードN2とノードN1およびノードN0の一方とが電気的に結合されている。

【0095】

図11のタイミングチャート図を用いて本発明の実施の形態4に従うドライバ回路の動作について説明する。

【0096】

時刻T1において、入力信号INが0Vから1Vに遷移した場合、インバータINV2のトランジスタNT2がオンし、ノードN0の電圧レベルは、0Vとなる。一方、インバータINV#3において、トランジスタNT3がオンする。したがって、インバータINV#3は、ノードN1の電圧レベルを0.4Vに設定しようとする。

【0097】

ここで、タイミング回路60は、インバータ63を介する出力信号OUT（「L」レベル）の入力により、トランジスタ61を導通状態に設定している。この場合において、入力信号INが0Vから1Vに遷移した場合、インバータ64は、ノードN2と接地電圧GNDとを電気的に結合させる。すなわち、ノードN0とノードN1とは導通状態であるため、結果としてノードN1の電圧レベルは0Vに降下する。これに伴い、インバータINV1のトランジスタPT1はオンし、電源電圧VDDとノードNbとが電気的に結合され、ノードNbの電圧レベルは1Vに設定される。

【0098】

また、タイミング回路60は、これに応答してトランジスタ61をオフして非導通状態とし、トランジスタ62をオンして導通状態に設定する。したがって、トランジスタPT1がターンオンする場合には、タイミング回路60により接地電圧GNDと電気的に直接結合させることによりトランジスタPT1のオン電流を増大させ、動作速度を上げる。これにより、ノードNbの電圧レベルを1Vに設定する時間を短縮することができる。

【0099】

さらに出力信号OUTが1Vとなった時刻T4以降においては、接地電圧GNDとノードN1とは電気的に非接続とされるのでトランジスタPT1のオン電圧の範囲内でノードN1の電圧レベルは0.4Vに上昇する。したがって、出力信号OUTが1Vである定常的な状態においては、ゲート電圧を上昇させることによりPチャンネルMOSトランジスタPT1のゲートリーコンダクション電流を低減することができる。

【0100】

次に、時刻T2において、入力信号INが1Vから0Vに遷移した場合については、図5で説明した実施の形態2のドライバ回路の動作と同様であるのでその説明は繰り返さない。

【0101】

すなわち、具体的には、NチャンネルMOSトランジスタNT1の動作時において、インバータ64により電源電圧VDDとノードN0とが電気的に直接結合される。また、出力信号OUTが0Vである定常的な状態においては、ゲート電圧を下降させることにより、NチャンネルMOSトランジスタNT1のリーク電流を低減することができる。

【0102】

本発明の実施の形態4のドライバ回路の構成により、トランジスタNT1およびPT1の動作時は、通常の電源電圧VDDおよび接地電圧をそれぞれ供給することによりトランジスタを高速動作させ、定常状態においてはそれぞれ下降および上昇させることによりリーク電流を低減することができる。

【0103】

すなわち、本発明の実施の形態4のドライバ回路によりトランジスタNT1のリーク電流を低減するとともに、トランジスタPT1のリーク電流も低減することができるため全体として消費電力をさらに低減することが可能となる。

【0104】

(実施の形態5)

図12は、本発明の実施の形態5に従うドライバ回路の回路構成図である。

【0105】

上記の実施の形態1～4のドライバ回路の構成においては1入力の入力信号INに応じて出力信号OUTを出力するドライバ回路の構成について説明してきた。

【0106】

本発明の実施の形態5に従うドライバ回路においては2入力の入力信号IN1およびIN2に応じてAND論理演算結果である出力信号OUTを出力するドライバ回路の構成について説明してきた。

イバ回路の回路構成について説明する。

【0107】

図12を参照して、本発明の実施の形態5のドライバ回路は、NAND回路ND0およびND1と、タイミング回路70と、インバータINV1とを含む。

【0108】

NAND回路ND0は、トランジスタ102～106とを含む。トランジスタ105および106は、ノードN0と接地電圧GNDとの間に直列に接続され、そのゲートはそれぞれ入力信号IN1およびIN2の入力を受ける。トランジスタ102は、ソース側を電源電圧VDDと接続し、ゲートドレイン間を電気的に結合したいわゆるダイオード接続したトランジスタである。ここでは、トランジスタ102の閾値電圧は、0.4Vとする。トランジスタ103および104は、トランジスタ102を介して並列に電源電圧VDDとノードN0との間に配置され、そのゲートはそれぞれ入力信号IN1およびIN2の入力を受ける。このNAND回路ND0は、入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN0に出力する。また、NAND回路ND1は、入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN1に出力する。たとえば入力信号IN1およびIN2がともに「H」レベルに設定されているときにはノードN1は「L」レベルすなわち0Vに設定される。一方、入力信号IN1およびIN2のいずれか一方が「H」レベルのときはノードN1は「H」レベルすなわち1Vに設定する。

【0109】

タイミング回路70は、トランジスタ71～73と、インバータ74とを含む。トランジスタ71および72は、それぞれ電源電圧VDDとトランジスタ73との間に並列に配置され、それぞれ入力信号IN1およびIN2の入力を受ける。トランジスタ73は、トランジスタ71および72とノードN0との間に配置され、そのゲートは、インバータ74を介する出力信号OUTの反転信号の入力を受ける。

【0110】

図13のタイミングチャート図を用いて本発明の実施の形態5に従うドライバ

回路の動作について説明する。初期状態において、入力信号IN1は、0Vとし、入力信号IN2は、1Vとする。

【0111】

時刻T1において、入力信号IN1が0Vから1Vに遷移した場合について考える。入力信号IN1およびIN2がともに1Vに設定されるため、これに応答してNAND回路ND1は、ノードN1の電圧レベルを0Vに設定する。NAND回路ND0において、入力信号IN1およびIN2に応答してトランジスタ105および106がオンする。したがって、接地電圧GNDとノードN0とが電気的に結合され、ノードN0の電圧レベルは0Vとなる。これに伴い、インバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは、1Vに設定される。

【0112】

一方、タイミング回路70のトランジスタ73は、インバータ74を介する出力信号OUTの反転信号の入力を受ける。したがって、出力信号OUTが「H」レベルである場合において、トランジスタ73は導通状態に設定されている。

【0113】

時刻T2において、入力信号IN1が1Vから0Vに遷移した場合について考える。この場合において、NAND回路ND1は、入力信号IN1およびIN2に応答してノードN1を1Vに設定する。NAND回路ND0は、入力信号IN1が0V、入力信号IN2が1Vに応答して、トランジスタ103をオンする。すなわち、トランジスタ102を介して電源電圧VDDとノードN0とが電気的に結合される。したがって、ノードN0の電圧レベルは、0.6Vへ向かう。

【0114】

一方、タイミング回路70において、入力信号IN1が0Vに応答してトランジスタ71がオンする。この場合において、トランジスタ73は導通状態である。したがって、電源電圧VDDとノードN0とが電気的に結合される。したがって、結果的にノードN0の電圧レベルは1Vに設定される。

【0115】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは0Vに設定される。

【0116】

タイミング回路10は、出力信号OUTが0Vとなった時刻T4以降においては、トランジスタ73をオフとし、電源電圧VDDとノードN0との電気的な接続をカットする。したがって、出力信号OUTが0Vである定常的な状態においては、トランジスタNT1のゲート電圧は0.6Vに降下される。これにより、トランジスタNT1のゲートリーコンデンサ電流を低減することができる。

【0117】

本発明の実施の形態5のドライバ回路の構成により入力信号がIN1およびIN2の2入力信号であるドライバ回路においても、最終段のインバータINV1を構成するトランジスタNT1のリーコンデンサ電流を低減することができ、全体的に消費電力を低減することが可能となる。

【0118】

(実施の形態5の変形例)

図14は、本発明の実施の形態5の変形例に従うドライバ回路の回路構成図である。

【0119】

本発明の実施の形態5の変形例に従うドライバ回路の構成においては2入力の入力信号IN1およびIN2に応じてOR論理演算結果である出力信号OUTを出力するドライバ回路の回路構成について説明する。

【0120】

図14に示す実施の形態5の変形例に従うドライバ回路は、図12に示す実施の形態5のドライバ回路と比較してNAND回路ND0およびND1をNOR回路NR0およびNR1に置換した点と、タイミング回路70をタイミング回路80に置換した点とが異なる。

【0121】

NOR回路NR1は、入力信号IN1, IN2の入力を受けてそのNOR論理

演算結果をノードN1に出力する。NOR回路NR0は、トランジスタ112～116とを含む。ここでは、一例としてトランジスタ112～114は、PチャネルMOSトランジスタとする。また、トランジスタ115および116は、NチャネルMOSトランジスタとする。トランジスタ115および116は、ノードN0と接地電圧GNDとの間に並列にそれぞれ配置され、それぞれのゲートは入力信号IN1およびIN2の入力を受ける。トランジスタ112はソース側を電源電圧VDDと接続され、ゲートおよびドレイン間はそれぞれ電気的に結合されたいわゆるダイオード接続されたトランジスタである。トランジスタ113および114は、トランジスタ112を介して電源電圧VDDとノードN0との間に直列に接続され、それぞれのゲートは入力信号IN1, IN2の入力を受ける。

【0122】

タイミング回路80は、トランジスタ81～83と、インバータ84とを含む。ここでは、一例としてトランジスタ81～83は、PチャネルMOSトランジスタとする。トランジスタ81および82は、トランジスタ83を介してノードN0と電源電圧VDDとの間に直列に接続され、それぞれのゲートは入力信号IN1およびIN2の入力を受ける。また、トランジスタ83はトランジスタ82とノードN0との間に配置され、インバータ84を介して出力信号OUTの反転信号の入力を受ける。

【0123】

図15のタイミングチャート図を用いて本発明の実施の形態5の変形例に従うドライバ回路の動作について説明する。初期状態において、入力信号IN1およびIN2は、0Vとする。

【0124】

時刻T1において、入力信号IN2が0Vから1Vに遷移した場合について考える。入力信号IN1が0Vであり、入力信号IN2が1Vであるため、これに応答してNOR回路NR1は、ノードN1の電圧レベルを0Vに設定する。NOR回路NR0において、入力信号IN1およびIN2に応答してトランジスタ116がオンする。したがって、接地電圧GNDとノードN0とが電気的に結合さ

れ、ノードN 0の電圧レベルは0 Vとなる。これに伴いインバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは、1 Vに設定される。

【0125】

一方、タイミング回路80のトランジスタ83は、インバータ74を介する出力信号OUTの反転信号の入力を受ける。したがって、出力信号OUTが「H」レベルである場合において、トランジスタ83は導通状態に設定されている。

【0126】

時刻T2において、入力信号IN2が1 Vから0 Vに遷移した場合について考える。この場合において、NOR回路NR1は、入力信号IN1およびIN2に応答してノードN1を1 Vに設定する。NAND回路NR0は、入力信号IN1が0 V、入力信号IN2が0 Vに応答して、トランジスタ113および114をオンする。すなわち、トランジスタ112を介して電源電圧VDDとノードN0とが電気的に結合される。したがって、ノードN0の電圧レベルは、0.6 Vへ向かう。

【0127】

一方、タイミング回路70において、入力信号IN1およびIN2が共に0 Vに応答してトランジスタ81および82がオンする。この場合において、トランジスタ83は導通状態である。したがって、電源電圧VDDとノードN0とが電気的に結合される。したがって、結果的にノードN0の電圧レベルは1 Vに設定される。

【0128】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは0 Vに設定される。

【0129】

タイミング回路10は、出力信号OUTが0 Vとなった時刻T4以降においては、トランジスタ83をオフとし、電源電圧VDDとノードN0との電気的な接続をカットする。したがって、出力信号OUTが0 Vである定的な状態において

ては、トランジスタNT1のゲート電圧は0, 6Vに降下される。これにより、トランジスタNT1のゲートリーク電流を低減することができる。

【0130】

本発明の実施の形態5の変形例のドライバ回路の構成により入力信号がIN1およびIN2の2入力信号であるドライバ回路においても、最終段のインバータINV1を構成するトランジスタNT1のリーク電流を低減することができ、全体的に消費電力を低減することができる。

【0131】

(実施の形態6)

図16は、本発明の実施の形態6に従うCMOSドライバ回路の回路構成図である。

【0132】

上記の実施の形態1～5のドライバ回路の構成においては、最終段のインバータを構成するトランジスタのゲート電圧を中間的な電圧レベルに設定することにより、最終段のインバータを構成するトランジスタのゲートリーク電流を低減する方式について説明してきた。

【0133】

本発明の実施の形態6に従うドライバ回路は、トランジスタNT1のゲートに与えるゲート電圧を非動作時に完全に接地電圧GNDレベルに落とすことにより、さらに消費電力を低減する構成について説明する。

【0134】

図16を参照して、本発明の実施の形態6に従うドライバ回路は、制御回路90とインバータINV1とを含む。制御回路90は、トランジスタ92～94と、インバータ95, 96とを含む。ここではトランジスタ92および93は、一例としてNチャンネルMOSトランジスタとする。また、トランジスタ94は、一例としてPチャンネルMOSトランジスタとする。なお、トランジスタ92および93の電流駆動力はトランジスタNT1と比較して小さいものとする。具体的には、トランジスタ92および93のゲート幅は、トランジスタNT1のゲート幅よりも狭いものとする。

【0135】

インバータ96は、入力信号INの反転信号をノードN1に出力する。トランジスタ92および94は、接地電圧GNDとノードN1との間に直列に接続され、それぞれのゲートは入力信号INおよびインバータ95を介する出力信号OUTの反転信号の入力を受ける。また、トランジスタ93は、ノードNbと接地電圧GNDとの間に配置され、そのゲートはノードN1と結合される。

【0136】

インバータINV1の構成については上述したのと同様であるのでその説明は繰返さない。

【0137】

図17のタイミングチャート図を用いて本発明の実施の形態6のドライバ回路の動作について説明する。

【0138】

時刻T1において、入力信号INが0Vから1Vに遷移した場合について考える。インバータ96は、入力信号INの反転信号をノードN1に伝達する。すなわち、ノードN1は、接地電圧GNDと電気的に結合され、ノードN1の電圧レベルは0Vに設定される。これに応答して、インバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは1Vとなる。また、インバータ95は、出力信号OUT（「H」レベル）を反転させた信号を94に出力する。この場合において、トランジスタ94は非導通状態である。また、入力信号INに応答してトランジスタ92がオンし、接地電圧GNDとノードN0とが電気的に結合され、ノードN0の電圧レベルは0Vに設定される。

【0139】

一方、時刻T2において、入力信号INが1Vから0Vに遷移した場合について考える。インバータ96は、入力信号INの反転信号をノードN1に伝達する。すなわちノードN1は、電源電圧VDDと電気的に結合され、ノードN1の電圧レベルは0Vから1Vに設定される。また、上述したようにトランジスタ94は導通状態であるため電源電圧VDDとノードN0とが電気的に結合され、ノードN0の電圧レベルは1Vに設定される。

ドN0の電圧レベルも1Vに設定される。これに伴いインバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電気的に結合される。したがって、ノードNbの電圧レベルは0Vに設定される。また、ノードN1は1Vであるためトランジスタ93がオンする。したがって、ノードNbは接地電圧GNDと結合され、ノードNbは0Vに固定される。

【0140】

次に、インバータ95は、出力信号OUTを反転して、トランジスタ94をオフする。したがって、ノードN0は、フローティング状態となるがトランジスタNT1のゲートリーケによりじょじょにノードN0の電圧レベルは下がり、トランジスタはオフ状態になる。

【0141】

したがって、トランジスタNT1がオンする場合には、そのゲートに1Vの電圧が供給されるが、出力信号OUTが0Vとなった場合には、トランジスタNT1をオフとする。出力ノードNbについては、トランジスタNT1の代わりにトランジスタ93をノードN1の電圧レベルに応じてオンさせることにより0Vに固定する。すなわち、出力信号OUTが1Vから0Vへ変化する遷移期間においては、動作速度の速いトランジスタNT1がターンオンするため、その高速性を維持し、出力信号OUTが0Vに設定された後の定常期間には、トランジスタ93を用いて0Vに固定する。したがって、リーク電流の大きなトランジスタNT1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0142】

本発明の実施の形態6のドライバ回路を用いることにより、トランジスタNT1で生じるリーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0143】

なお、上記の実施の形態のドライバ回路においてはゲート酸化膜を薄膜化することにより、ゲートリーケ電流が増大することについて説明した。一方、トランジスタNT1のように動作速度が要求されるトランジスタについてはゲート酸化

膜を薄膜化する必要があるが、それ以外の高速性が要求されないトランジスタについては薄膜化する必要はない。したがってトランジスタNT1のみ薄膜化し、それ以外のトランジスタについてはゲート酸化膜を通常の膜厚とすることにより全体としてトランジスタのゲートリーク電流を低減することが可能である。具体的には、トランジスタNT1については薄膜化する工程を他のトランジスタと分離することにより製造が可能となる。

【0144】

また、比誘電率の高いいわゆる高誘電体のゲート酸化膜を用いることにより、二酸化ケイ素で構成されたゲート酸化膜の場合に比べて電界強度を上げることができる。すなわち、高誘電体のゲート酸化膜を用いることにより高速のトランジスタを実現することが可能となる。

【0145】

したがって、ゲート酸化膜厚を薄膜化した場合において、ゲート電圧を一時的に高くしない場合であっても、性能の同じ高速なトランジスタを実現することが可能となる。すなわち、このような高誘電体のゲート酸化膜をたとえばトランジスタNT1に用いることにより、結果としてゲートリーク電流を低減することが可能となる。

【0146】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

【0147】

【発明の効果】

請求項1、12、13記載の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第1および第2の内部ノードの電圧を制御する制御回路とを含む。また、制御回路は、対応するトランジスタをターンオンさせるととき内部ノードの電圧を第1および第2の電圧とは異なるレベルに設定する電圧調整回路を含む。この電圧調整回路により、対応

するトランジスタのゲート電圧を調整することができ、トランジスタに与えられるゲート電圧により生じるゲートリーク電流を低減することができる。

【0148】

請求項2記載の半導体装置は、対応するトランジスタがターンオンするときの内部ノードの電圧は第1および第2の電圧に設定する。したがって、ターンオン時には、調整された電圧ではなく通常用いられるゲート電圧が対応するトランジスタのゲートに供給される。したがって、ドライバ回路の動作速度を高速化させることができる。

【0149】

請求項3～5記載の半導体装置は、タイミング回路を有し、タイミング回路は、所定期間第1および第2の一方を対応するノードと接続する。これにより、対応するトランジスタのターンオン時は、トランジスタを高速化させる、すなわちドライバ回路の動作速度を高速化させることができる。

【0150】

請求項6および7記載の半導体装置は、接続回路を有し、接続回路は、所定期間第1および第2の内部ノードを接続する。接続状態においては、調整された電圧ではなく通常用いられるゲート電圧が対応するトランジスタのゲートに供給される。

【0151】

請求項8および9記載の半導体装置は、第1および第2のトランジスタは、電界効果型トランジスタで構成され、他の電界効果型トランジスタとはゲート酸化膜が異なる。したがって、動作高速性の要求される第1および第2のトランジスタについては膜厚を変えることにより実現することができるため、通常の電界効果型トランジスタから高速なトランジスタへの設計変更が容易である。

【0152】

請求項10および11記載の半導体装置は、第1および第2のトランジスタは、電界効果型トランジスタで構成され、他の電界効果型トランジスタとはゲート誘電体膜が異なる。したがって、動作高速性の要求される第1および第2のトランジスタについては、比誘電率の異なる誘電体膜を用いることにより実現するこ

とができるので通常の電界効果型トランジスタから高速なトランジスタへの設計変更が容易である。

【0153】

請求項14記載の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第2のトランジスタと並列に出力ノードと第2の電圧との間に配置された第3のトランジスタと、第1および第2の内部ノードの電圧を制御する制御回路を設ける。また、制御回路は、内部ノードの一方に対応するトランジスタのターンオン時において、トランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続するタイミング回路を含む。また、第2のトランジスタは、第3のトランジスタよりも第2の電圧を供給する駆動力が大きい。この構成にしたがい、所定期間第2のトランジスタを用いて出力ノードN_bを駆動して、それ以外の期間は第3のトランジスタを用いて出力ノードN_bを駆動する。これにより、所定期間だけ第2のドライバ回路を用いてドライバ回路を高速動作させることにより、回路の高速性を担保しつつ回路全体のリーク電流を低減することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うCMOSドライバ回路の回路構成図である。

【図2】 本発明の実施の形態1に従うドライバ回路の動作のタイミングチャート図である。

【図3】 トランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

【図4】 本発明の実施の形態2に従うドライバ回路の構成図である。

【図5】 本発明の実施の形態2に従うドライバ回路の動作のタイミングチャート図である。

【図6】 本発明の実施の形態2の変形例1に従うCMOSドライバ回路の回路構成図である。

【図7】 本発明の実施の形態2の変形例2に従うCMOSドライバ回路の回路構成図である。

【図8】 本発明の実施の形態3に従うCMOSドライバ回路の回路構成図である。

【図9】 本発明の実施の形態3の変形例1に従うCMOSドライバ回路の回路構成図である。

【図10】 本発明の実施の形態4に従うCMOSドライバ回路の回路構成図である。

【図11】 本発明の実施の形態4に従うドライバ回路の動作のタイミングチャート図である。

【図12】 本発明の実施の形態5に従うドライバ回路の回路構成図である。

【図13】 本発明の実施の形態5に従うドライバ回路の動作のタイミングチャート図である。

【図14】 本発明の実施の形態5の変形例に従うドライバ回路の回路構成図である。

【図15】 本発明の実施の形態5の変形例に従うドライバ回路の動作のタイミングチャート図である。

【図16】 本発明の実施の形態6に従うCMOSドライバ回路の回路構成図である。

【図17】 本発明の実施の形態6のドライバ回路の動作のタイミングチャート図である。

【図18】 入力信号を内部回路に伝播する従来のCMOSドライバ回路の回路構成図である。

【図19】 従来のCMOSドライバ回路の動作のタイミングチャート図である。

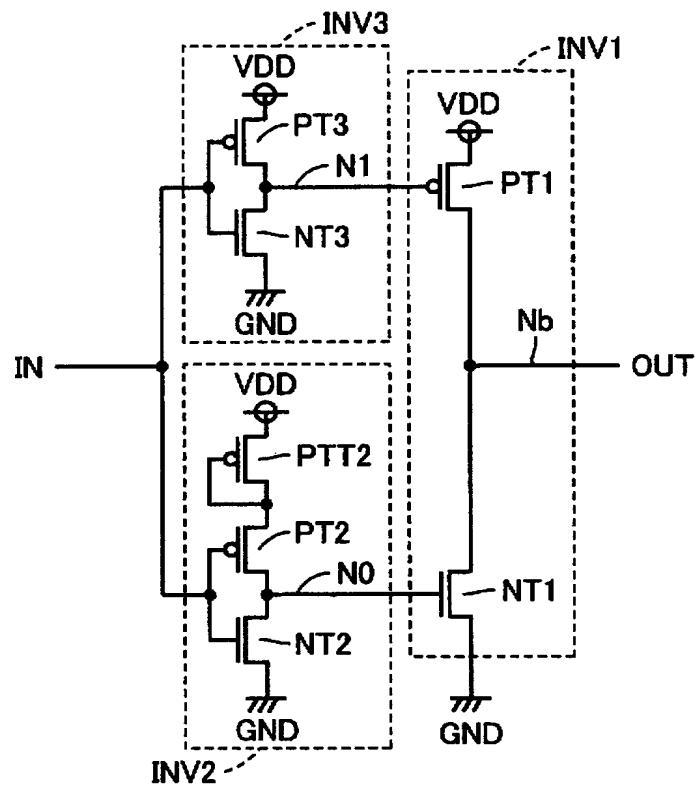
【図20】 ゲート酸化膜の厚膜とトランジスタ1個当たりのゲートリーク電流との関係を示す図である。

【符号の説明】

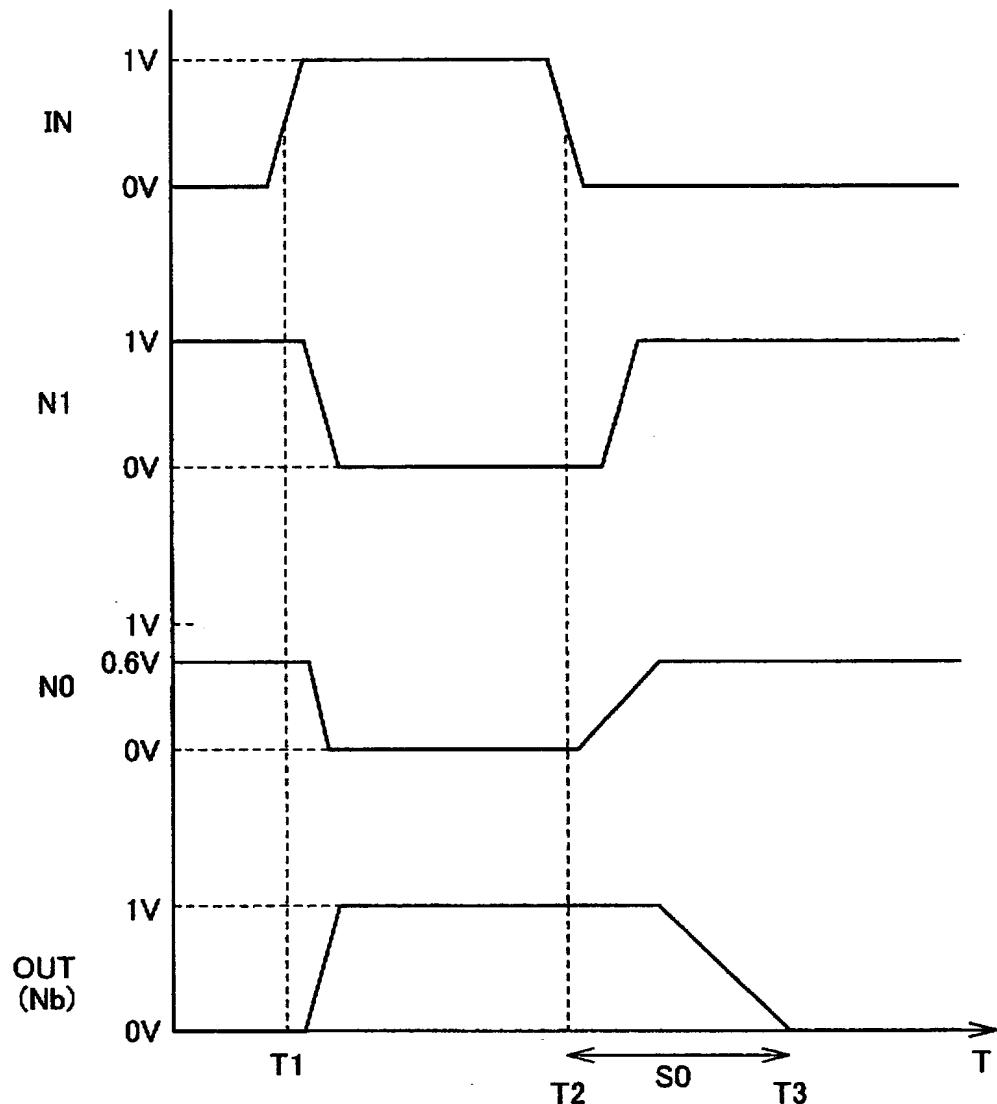
10, 20, 30, 40, 50, 60, 70, 80 タイミング回路、90
制御回路、INV1, INV2, INV3, INV#3 インバータ。

【書類名】 図面

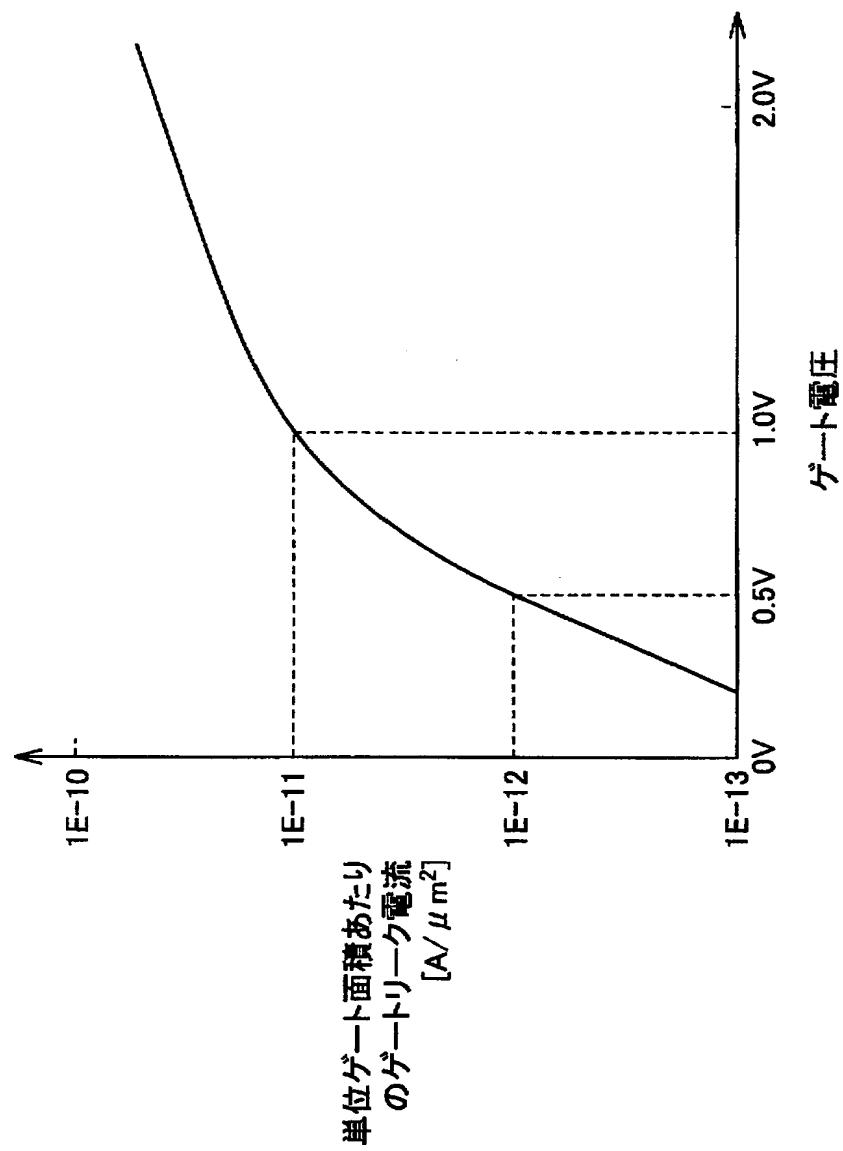
【図1】



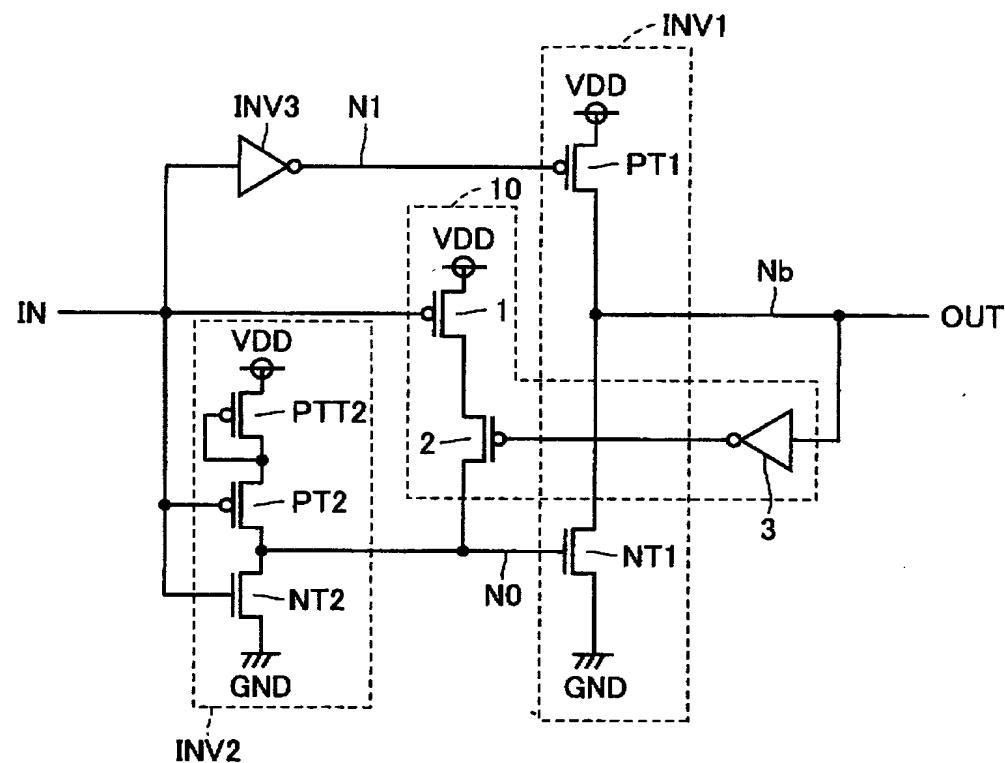
【図2】



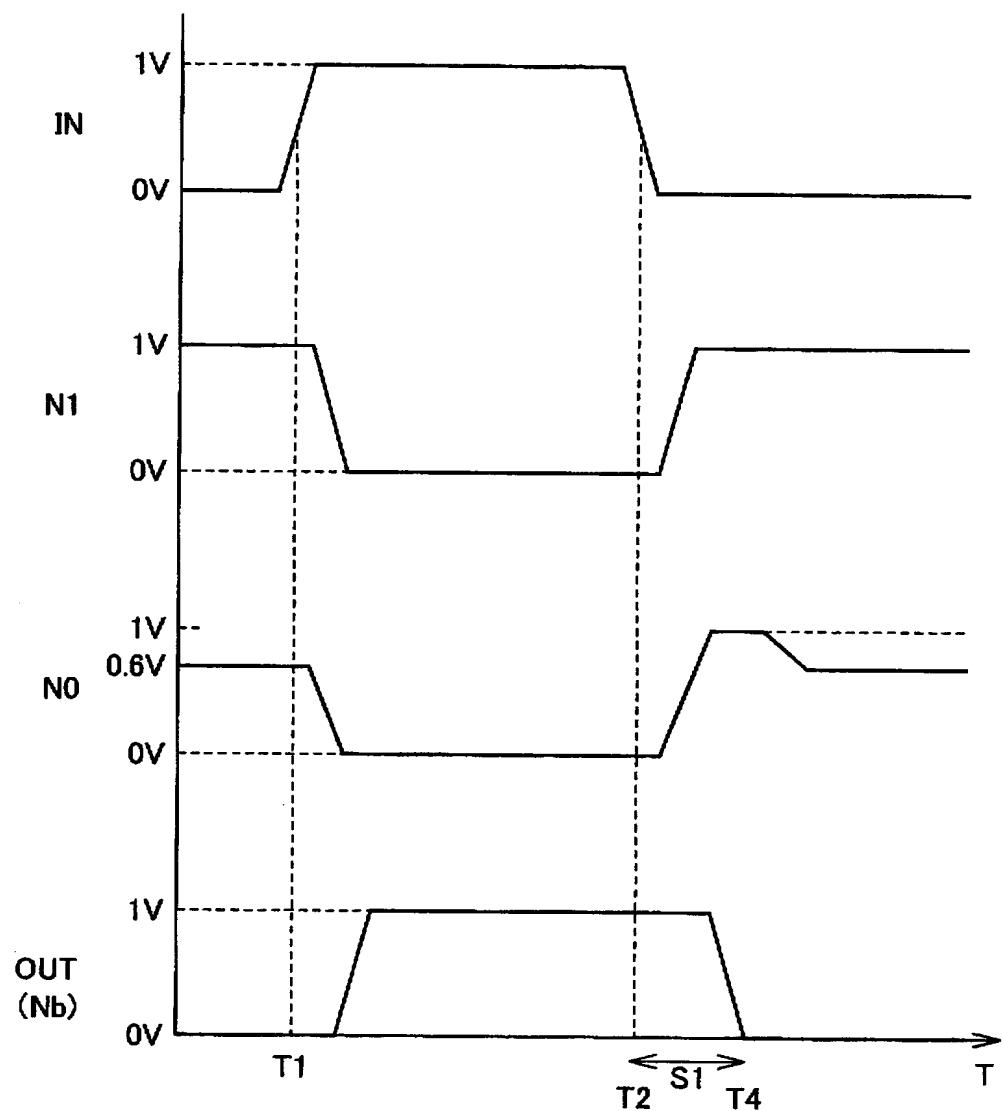
【図3】



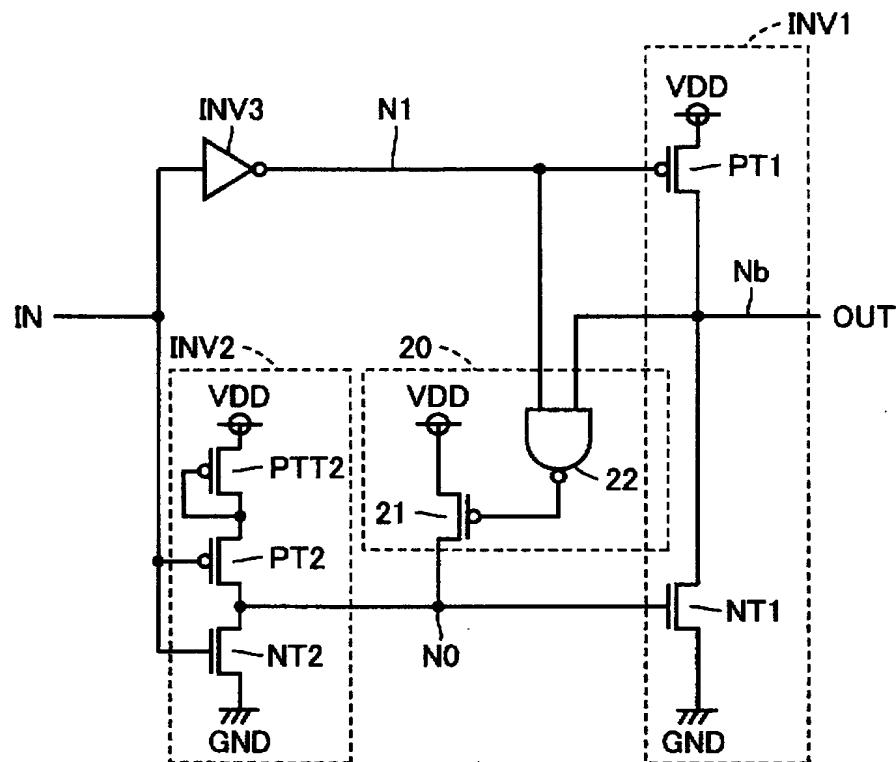
【図4】



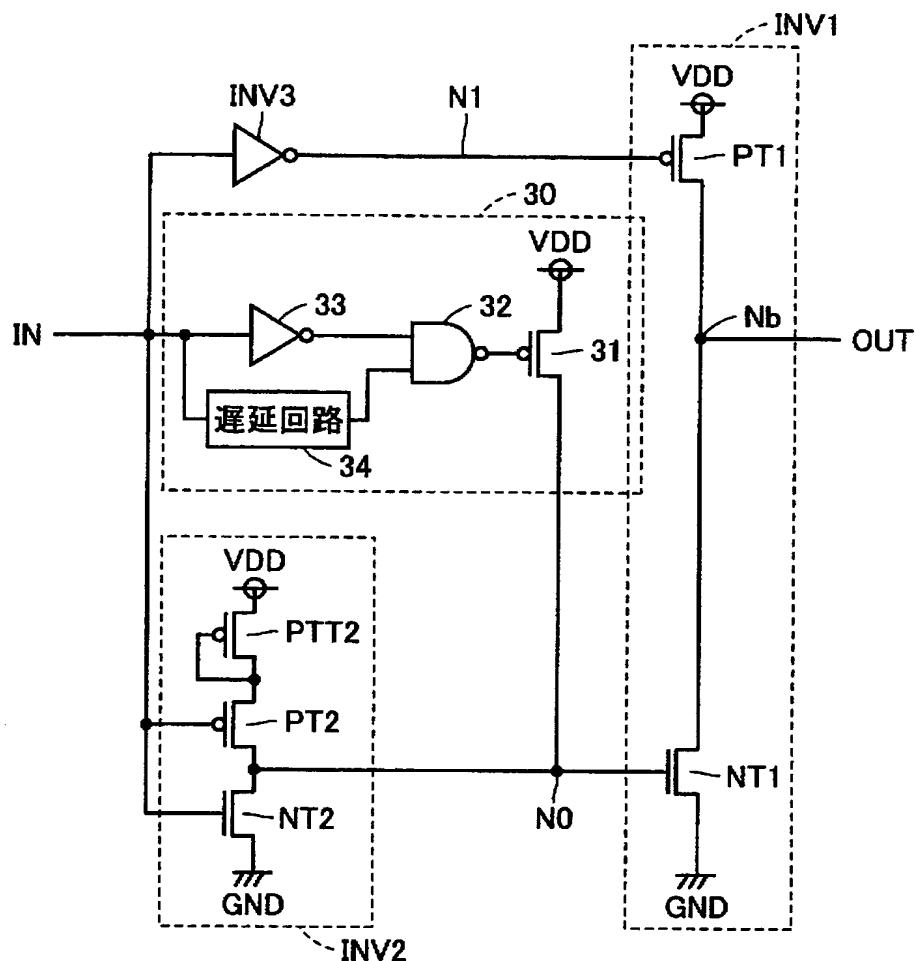
【図5】



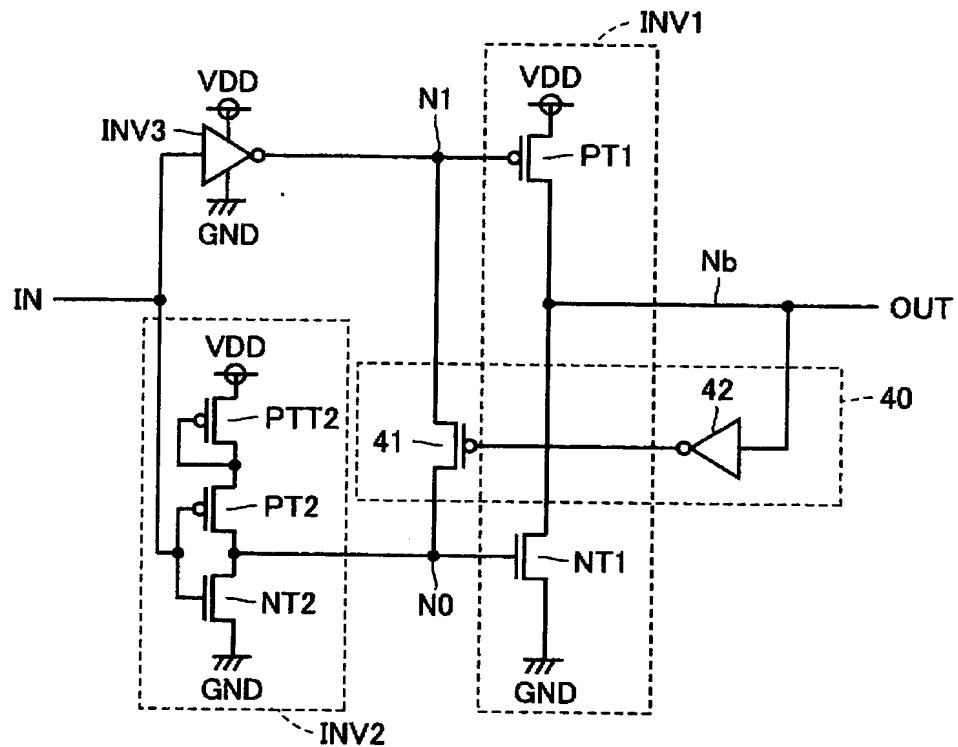
【図6】



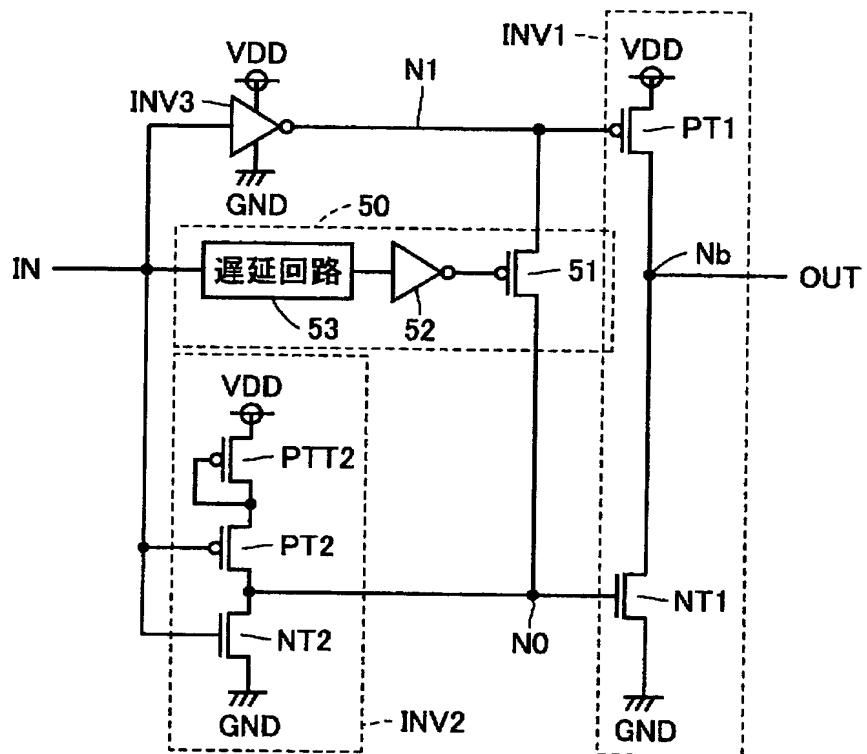
【図7】



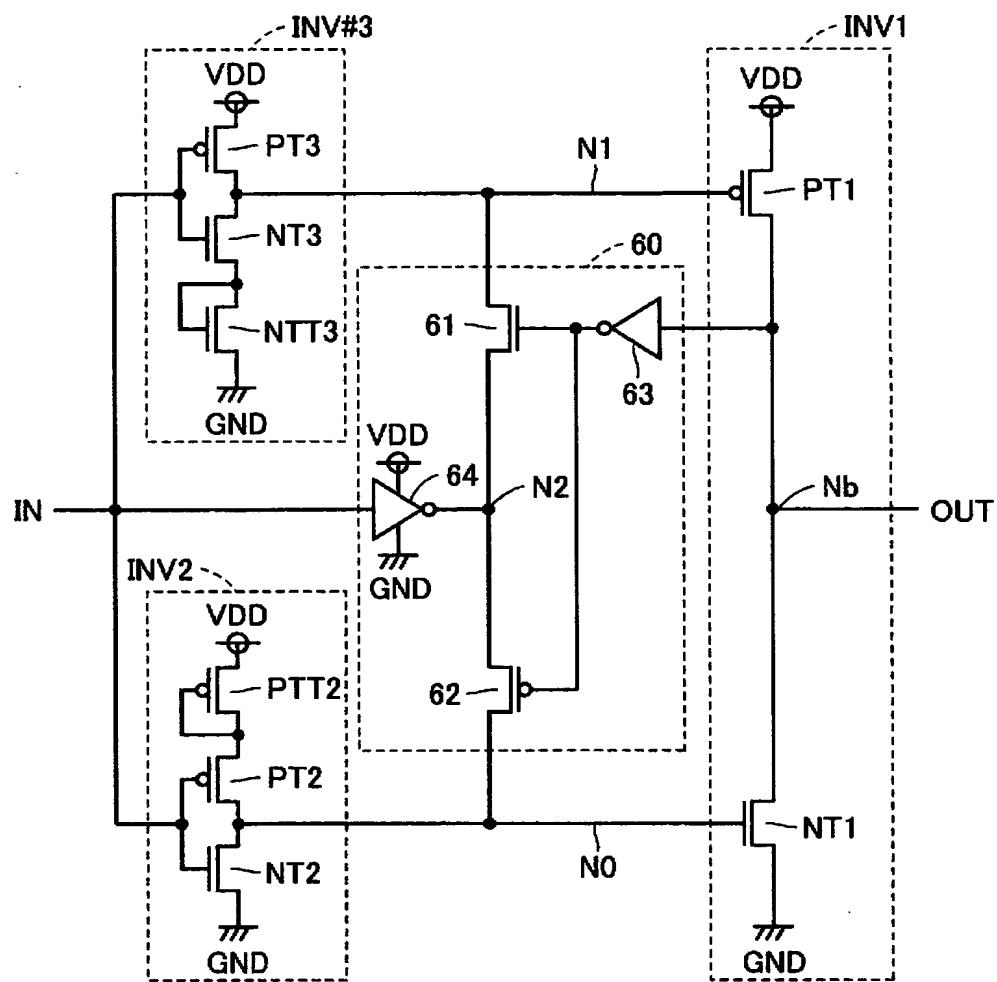
【図8】



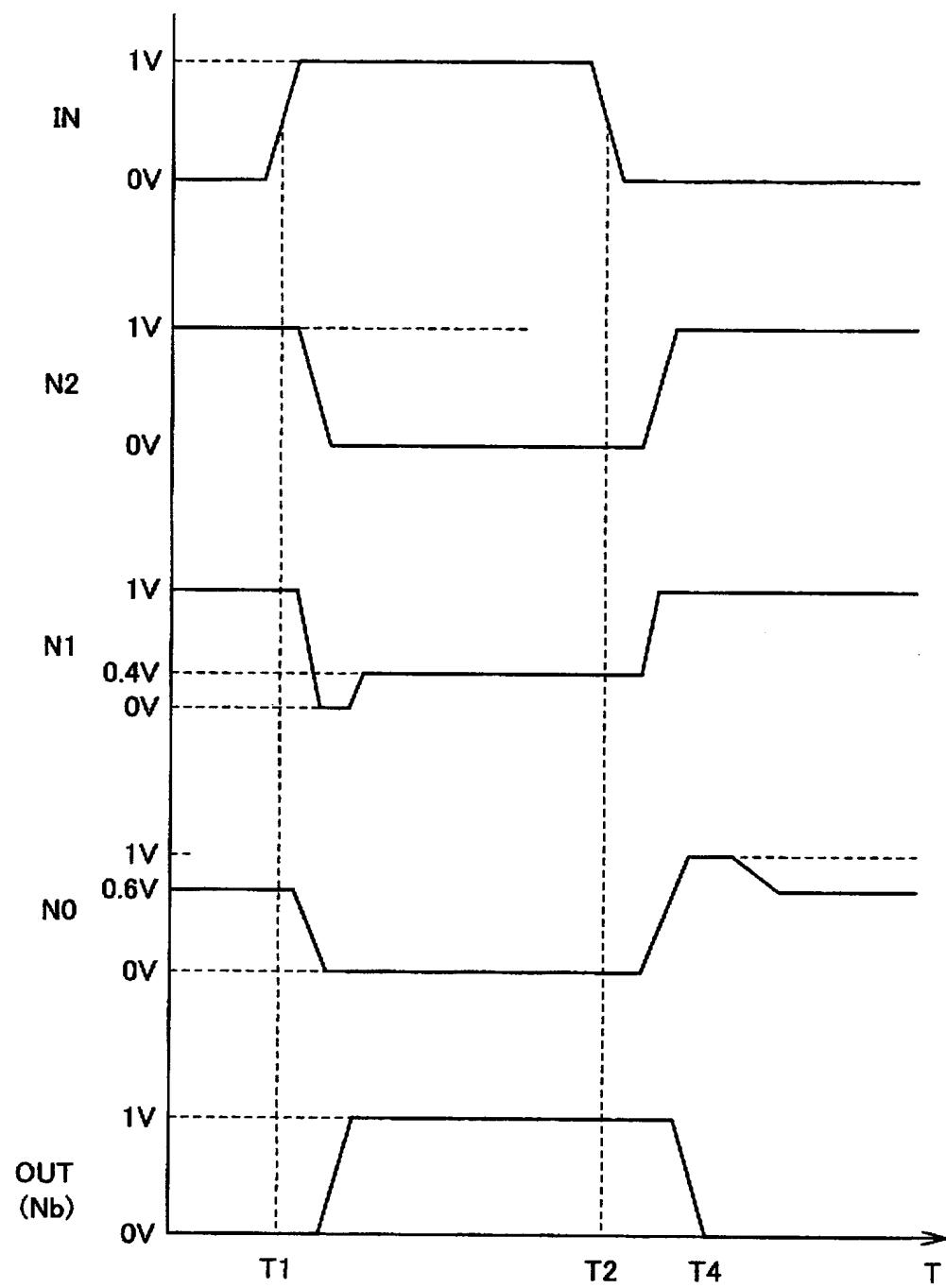
【図9】



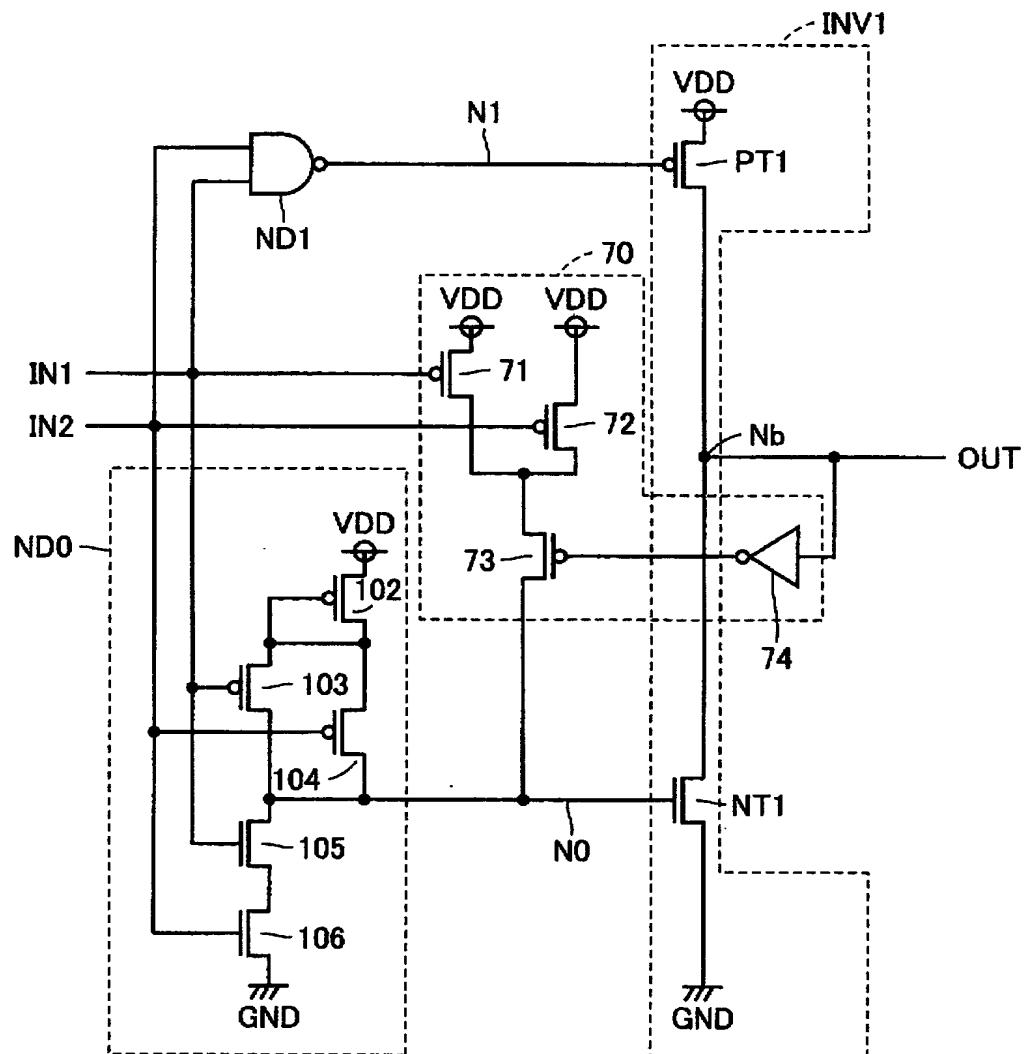
【図10】



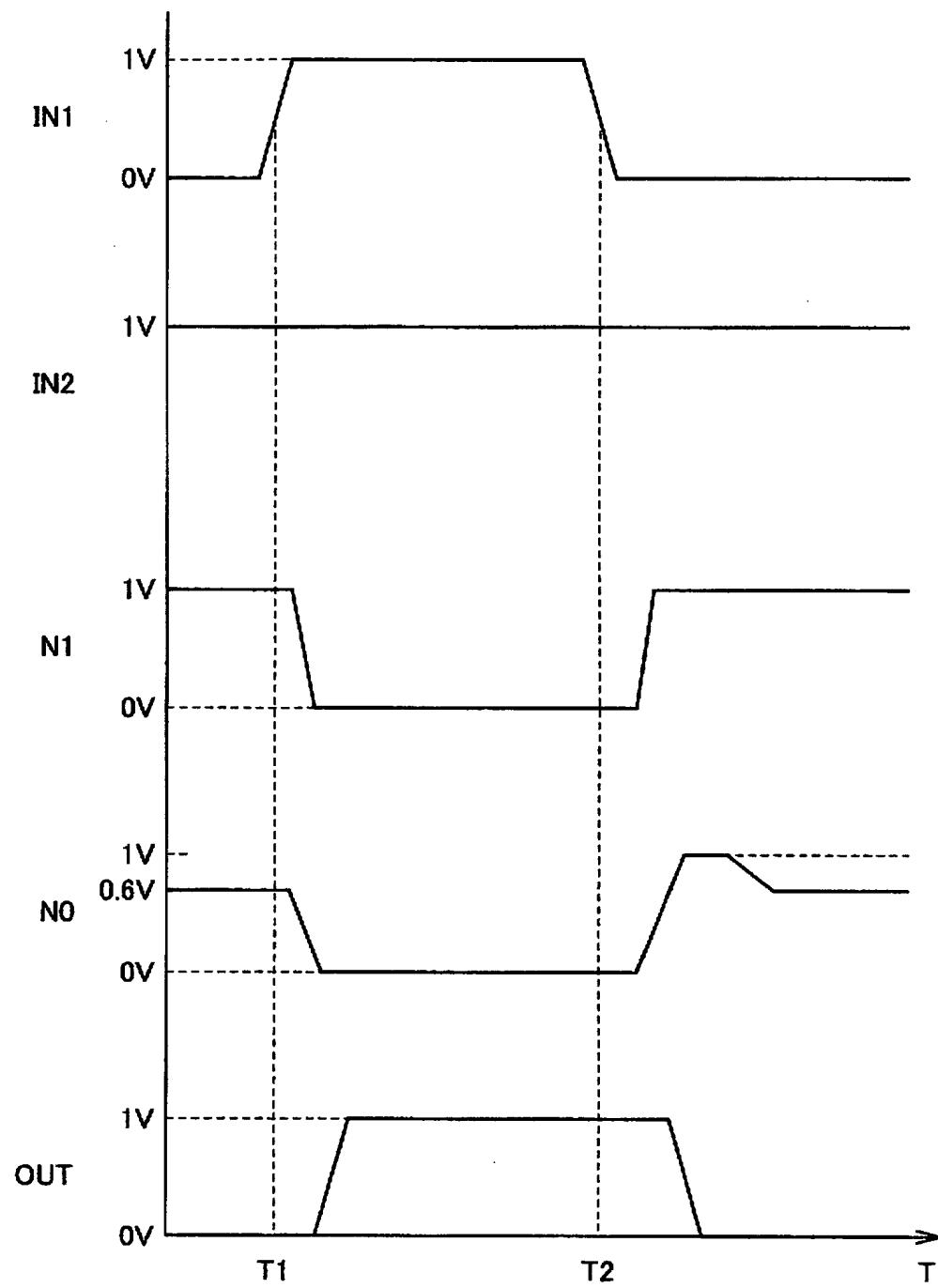
【図11】



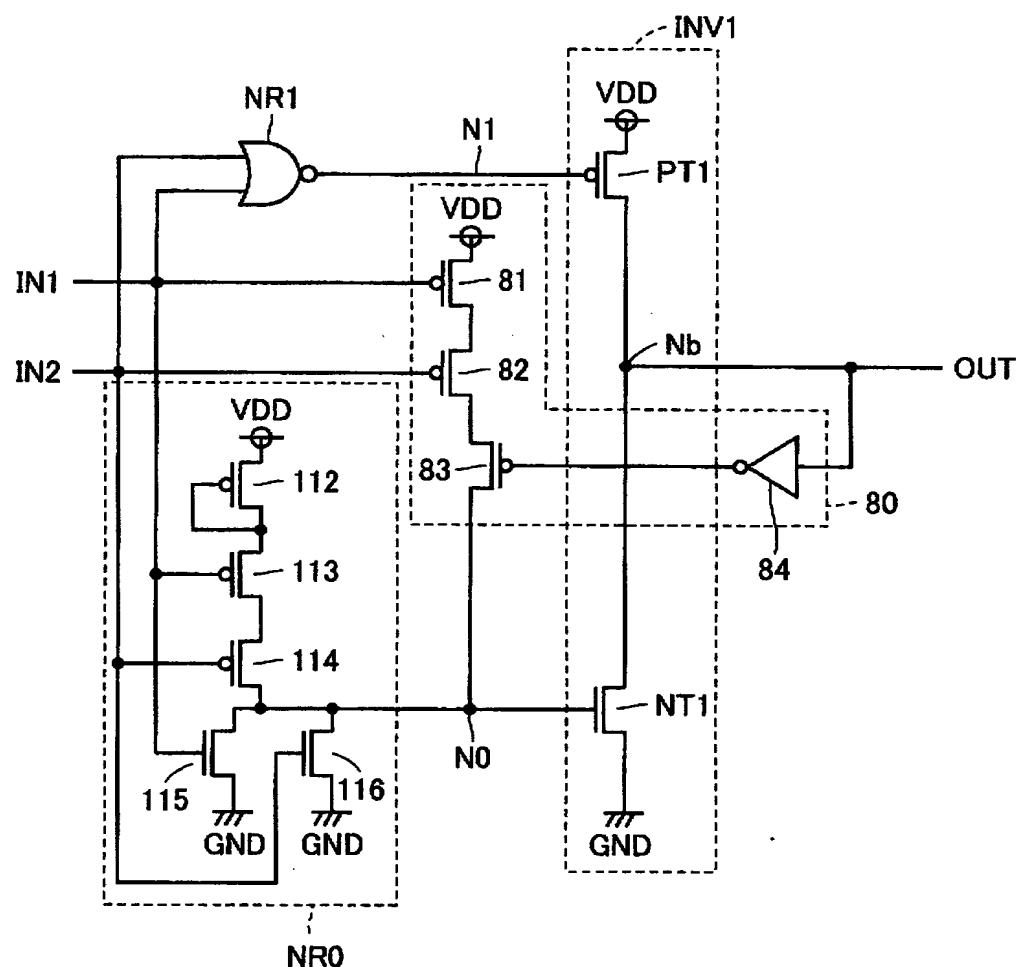
【図12】



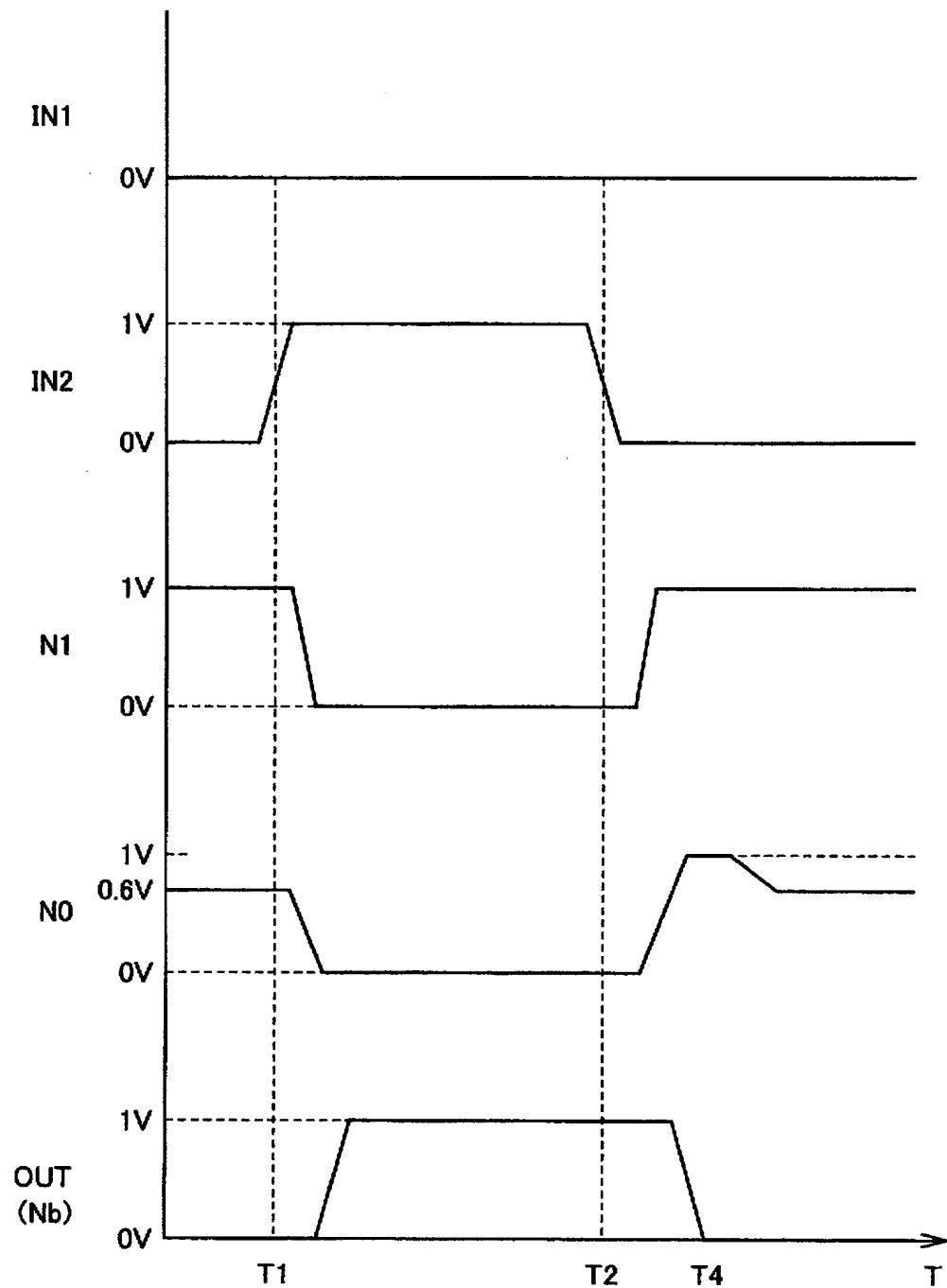
【図13】



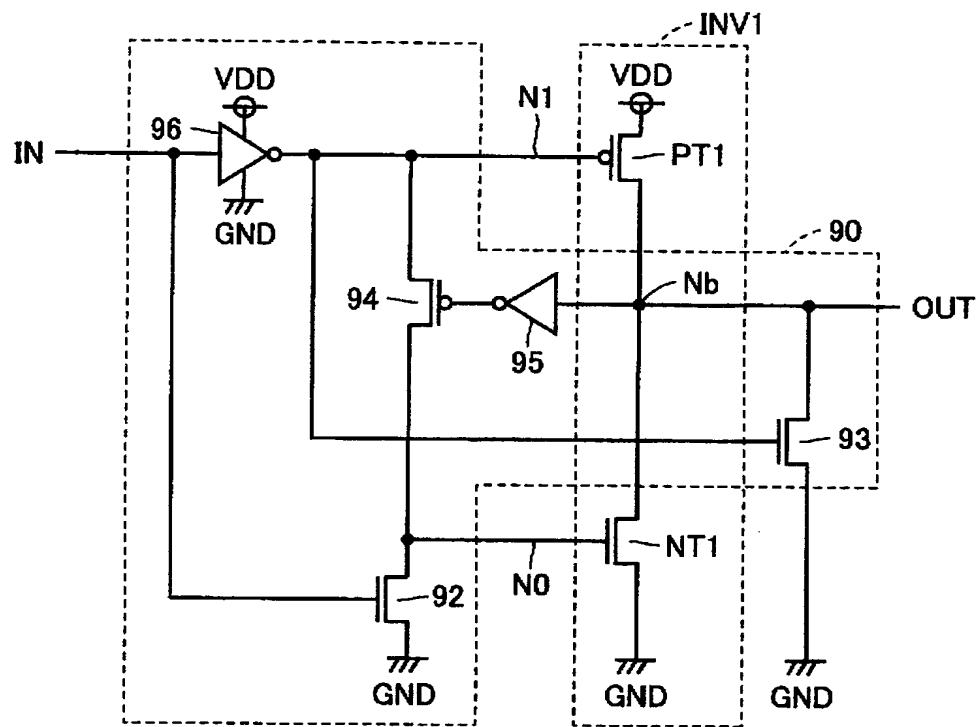
【図14】



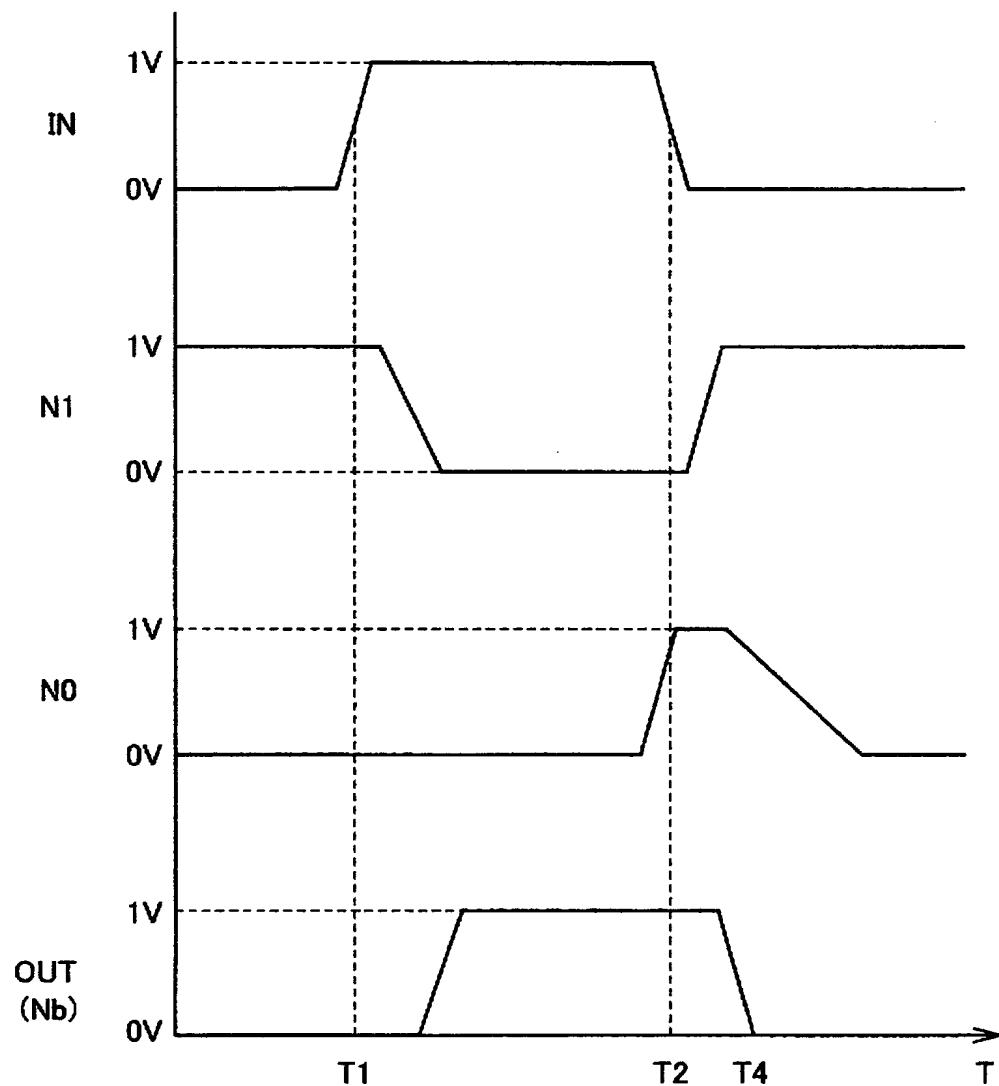
【図15】



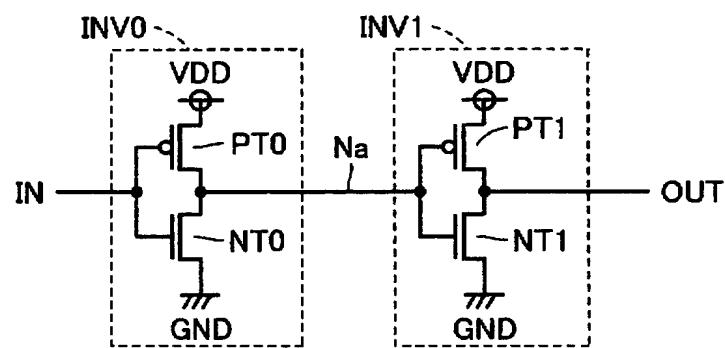
【図16】



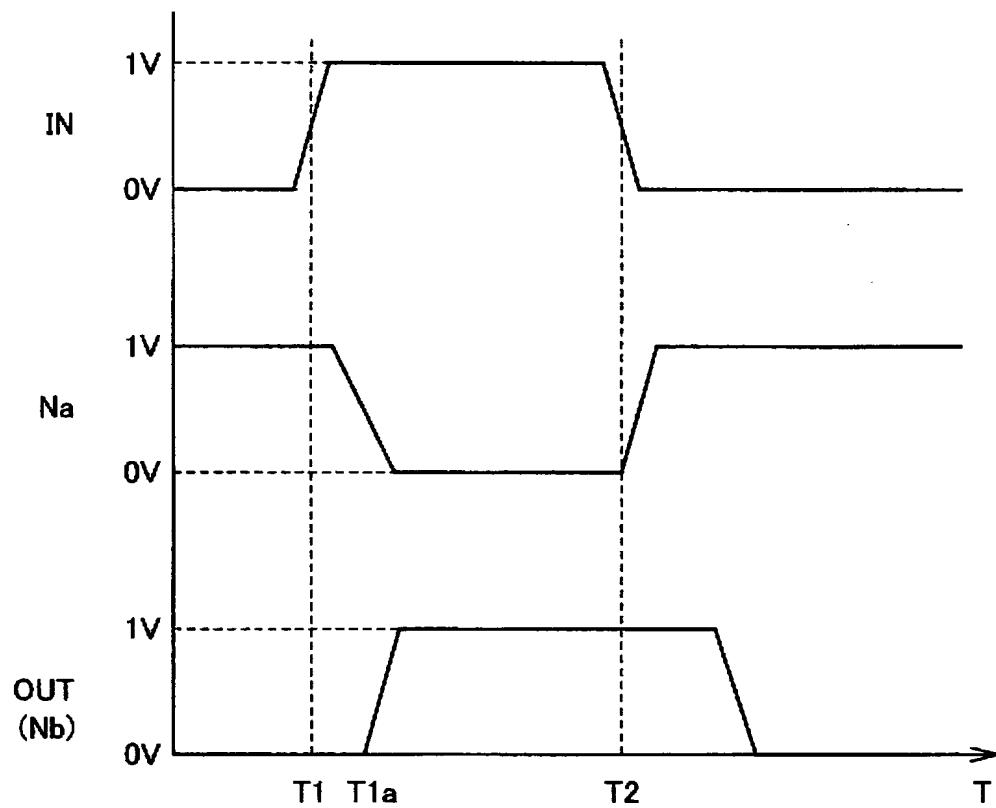
【図17】



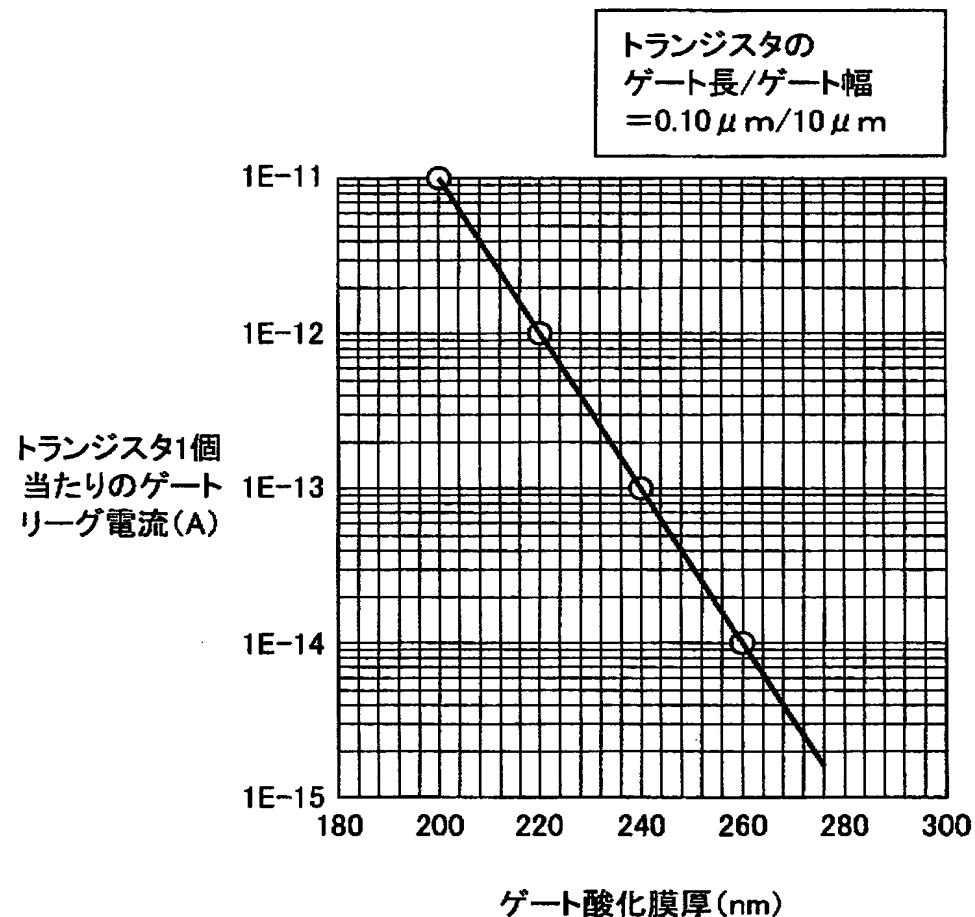
【図18】



【図19】



【図20】



【書類名】 要約書

【要約】

【課題】 ゲート酸化膜厚の薄いトランジスタを有するドライバ回路のゲートリーアク電流を抑制して消費電力を低減する半導体装置を提供する。

【解決手段】 インバータINV2およびINV3を用いて入力信号INに応じてノードN0およびN1の電圧を制御する。また、インバータINV2に含まれるトランジスタPTT2を用いてトランジスタNT1の電圧レベルを調整する。

トランジスタNT1のゲートに供給するゲート電圧を電源電圧VDDよりも低くオン電圧よりも高い値に設定することにより、トランジスタNT1のゲートリーアク電流を大幅に低減することができる。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社